19-3574; Rev 0; 5/05



# 8/4通道，±$V_{REF}$多量程输入、串行14位ADC

MAX1034/MAX1035

## 概述

MAX1034/MAX1035多量程、低功耗、14位逐次逼近型模数转换器(ADC)，采用+5V单电源供电，转换速率高达115ksps。独立的数字电源允许通过SPI™/QSPI™/MICROWIRE™兼容的串行接口与2.7V至5.25V系统连接。局部关断模式可将电源电流降至1.3mA (典型值)。完全关断模式则可将电源电流降至1µA (典型值)。

MAX1034提供8路(单端)或4路(真差分)模拟输入通道。MAX1035则具有4路(单端)或2路(真差分)模拟输入通道。每个模拟输入通道都可通过软件独立编程设置为7种单端输入范围(0至+$V_{REF}$/2、-$V_{REF}$/2至0、0至+$V_{REF}$、-$V_{REF}$至0、±$V_{REF}$/4、±$V_{REF}$/2和±$V_{REF}$)和3种差分输入范围(±$V_{REF}$/2、±$V_{REF}$和±2 x $V_{REF}$)。

片上+4.096V基准可实现小巧、便利的ADC解决方案。MAX1034/MAX1035还可接受3.800V至4.136V之间的外部基准。

MAX1034采用24引脚TSSOP封装，MAX1035采用20引脚TSSOP封装。每款器件都可工作在-40°C至+85°C温度范围内。

## 应用

工业控制系统

数据采集系统

航空电子

机器人技术

SPI和QSPI是Motorola, Inc.的商标。
MICROWIRE是National Semiconductor Corp.的商标。

## 特性

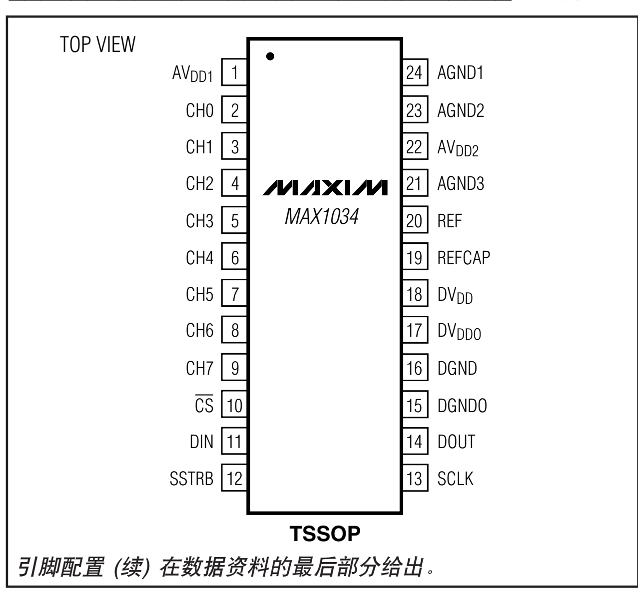
- ♦ 每个通道的输入范围可通过软件编程设置
- ♦ 单端输入范围
  0至+$V_{REF}$/2、-$V_{REF}$/2至0、0至+$V_{REF}$、-$V_{REF}$至0、±$V_{REF}$/4、±$V_{REF}$/2和±$V_{REF}$
- ♦ 差分输入范围
  ±$V_{REF}$/2、±$V_{REF}$和±2 x $V_{REF}$
- ♦ 8路单端或4路差分模拟输入 (MAX1034)
- ♦ 4路单端或2路差分模拟输入 (MAX1035)
- ♦ ±6V过压容限输入
- ♦ 内部或外部基准
- ♦ 115ksps最高采样速率
- ♦ +5V单电源供电
- ♦ 20/24引脚TSSOP封装

## 定购信息

| PART | TEMP RANGE | PIN-PACKAGE | CHANNELS |
|---|---|---|---|
| **MAX1034**EUG* | -40°C to +85°C | 24 TSSOP | 8 |
| **MAX1035**EUP | -40°C to +85°C | 20 TSSOP | 4 |

*未来产品——供货信息请与厂商联系。

## 引脚配置




引脚配置(续)在数据资料的最后部分给出。

## ABSOLUTE MAXIMUM RATINGS

$AV_{DD1}$ to AGND1 ....................................................-0.3V to +6V
$AV_{DD2}$ to AGND2 ....................................................-0.3V to +6V
$DV_{DD}$ to DGND .......................................................-0.3V to +6V
$DV_{DDO}$ to DGNDO ...................................................-0.3V to +6V
$DV_{DD}$ to $DV_{DDO}$ .....................................................-0.3V to +6V
$DV_{DD}$, $DV_{DDO}$ to $AV_{DD1}$ .......................................-0.3V to +6V
$AV_{DD1}$, $DV_{DD}$, $DV_{DDO}$ to $AV_{DD2}$ ..........................-0.3V to +6V
DGND, DGNDO, AGND3, AGND2 to AGND1 ......-0.3V to +0.3V
$\overline{CS}$, SCLK, DIN, DOUT, SSTRB to
DGNDO ...........................................-0.3V to ($DV_{DDO}$ + 0.3V)

CH0–CH7 to AGND1 ..................................................-6V to +6V
REF, REFCAP to AGND1.......................-0.3V to ($AV_{DD1}$ + 0.3V)
Continuous Current (any pin) ..........................................±50mA
Continuous Power Dissipation ($T_A$ = +70°C)
20-Pin TSSOP (derate 11mW/°C above +70°C) ..........879mW
24-Pin TSSOP (derate 12.2mW/°C above +70°C) .......976mW
Operating Temperature Range ..........................-40°C to +85°C
Junction Temperature ...................................................+150°C
Storage Temperature Range ............................-65°C to +150°C
Lead Temperature (soldering, 10s) ................................+300°C

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## ELECTRICAL CHARACTERISTICS

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, $T_A$ = -40°C to +85°C, unless otherwise noted. Typical values are at $T_A$ = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|---|
| **DC ACCURACY (Notes 1, 2)** | | | | | | | |
| Resolution | | | | 14 | | | Bits |
| Integral Nonlinearity | INL | | | | ±0.25 | ±1 | LSB |
| Differential Nonlinearity | DNL | No missing codes | | | | ±1 | LSB |
| Transition Noise | | External or internal reference | | | 0.5 | | $LSB_{RMS}$ |
| | | | | | 2 | | |
| Offset Error | | Single-ended inputs | Unipolar | | 0 | ±10 | mV |
| | | | Bipolar | | -1.0 | ±10 | |
| | | Differential inputs (Note 3) | Unipolar | | 0 | ±20 | |
| | | | Bipolar | | -2 | ±20 | |
| Channel-to-Channel Gain Matching | | Unipolar or bipolar | | | 0.025 | | %FSR |
| Channel-to-Channel Offset Error Matching | | Unipolar or bipolar | | | 1.0 | | mV |
| Offset Temperature Coefficient | | Unipolar | | | 10 | | ppm/°C |
| | | Bipolar | | | 5 | | |
| Gain Error | | Unipolar | | | | ±0.5 | %FSR |
| | | Bipolar | | | | ±0.3 | |
| Gain Temperature Coefficient | | Unipolar | | | 1.5 | | ppm/°C |
| | | Bipolar | | | 1.0 | | |
| Unipolar Endpoint Overlap | | Negative unipolar full scale to positive unipolar zero-scale | | 0 | 5 | | LSB |

## ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, $T_A$ = -40°C to +85°C, unless otherwise noted. Typical values are at $T_A$ = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| **DYNAMIC SPECIFICATIONS $f_{IN(SINE-WAVE)}$ = 5kHz, $V_{IN}$ = FSR - 0.05dB, $f_{SAMPLE}$ = 130ksps (Notes 1, 2)** | | | | | | |
| Signal-to-Noise Plus Distortion | SINAD | Differential inputs, FSR = 2 x $V_{REF}$ | | 84.5 | | dB |
| | | Single-ended inputs, FSR = $V_{REF}$ | | 84 | | |
| | | Single-ended inputs, FSR = $V_{REF}$ / 2 | | 82.5 | | |
| | | Single-ended inputs, FSR = $V_{REF}$ / 4 | 79 | 80.5 | | |
| Signal-to-Noise Ratio | SNR | Differential inputs, FSR = 2 x $V_{REF}$ | | 84.5 | | dB |
| | | Single-ended inputs, FSR = $V_{REF}$ | | 84 | | |
| | | Single-ended inputs, FSR = $V_{REF}$ / 2 | | 82.5 | | |
| | | Single-ended inputs, FSR = $V_{REF}$ / 4 | | 80.5 | | |
| Total Harmonic Distortion (Up to the 5th Harmonic) | THD | | | -98 | | dB |
| Spurious-Free Dynamic Range | SFDR | | 92 | 99 | | dB |
| Aperture Delay | $t_{AD}$ | Figure 21 | | 15 | | ns |
| Aperture Jitter | $t_{AJ}$ | Figure 21 | | 100 | | ps |
| Channel-to-Channel Isolation | | | | 105 | | dB |
| **CONVERSION RATE** | | | | | | |
| Byte-Wide Throughput Rate | $f_{SAMPLE}$ | External clock mode, Figure 2 | | | 114 | ksps |
| | | External acquisition mode, Figure 3 | | | 84 | |
| | | Internal clock mode, Figure 4 | | | 106 | |
| **ANALOG INPUTS (CH0–CH3 MAX1035, CH0–CH7 MAX1034, AGND1)** | | | | | | |
| Small-Signal Bandwidth | | All input ranges, $V_{IN}$ = 100m$V_{P-P}$ (Note 2) | | 2 | | MHz |
| Full-Power Bandwidth | | All input ranges, $V_{IN}$ = 4$V_{P-P}$ (Note 2) | | 700 | | kHz |
| Input Voltage Range (Table 6) | $V_{CH_}$ | R[2:1] = 001 | -$V_{REF}$/4 | | +$V_{REF}$/4 | V |
| | | R[2:1] = 010 | -$V_{REF}$/2 | | 0 | |
| | | R[2:1] = 011 | 0 | | +$V_{REF}$/2 | |
| | | R[2:1] = 100 | -$V_{REF}$/2 | | +$V_{REF}$/2 | |
| | | R[2:1] = 101 | -$V_{REF}$ | | 0 | |
| | | R[2:1] = 110 | 0 | | +$V_{REF}$ | |
| | | R[2:1] = 111 | -$V_{REF}$ | | +$V_{REF}$ | |
| True-Differential Analog Common-Mode Voltage Range | $V_{CMDR}$ | DIF/$\overline{SGL}$ = 1 | -4.75 | | +5.50 | V |
| Common-Mode Rejection Ratio | CMRR | DIF/$\overline{SGL}$ = 1, input voltage range = ±$V_{REF}$/4 | | 75 | | dB |
| Input Current | $I_{CH_}$ | -$V_{REF}$ < $V_{CH_}$ < +$V_{REF}$ | -1500 | | +650 | µA |
| Input Capacitance | $C_{CH_}$ | | | 5 | | pF |
| Input Resistance | $R_{CH_}$ | | | 6 | | kΩ |

## ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, $T_A$ = -40°C to +85°C, unless otherwise noted. Typical values are at $T_A$ = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| **INTERNAL REFERENCE (Bypass REFCAP with 0.1µF to AGND1 and REF with 1.0µF to AGND1)** | | | | | | |
| Reference Output Voltage | $V_{REF}$ | | 4.056 | 4.096 | 4.136 | V |
| Reference Temperature Coefficient | $TC_{REF}$ | | | ±30 | | ppm/°C |
| Reference Short-Circuit Current | $I_{REFSC}$ | REF shorted to AGND1 | | 10 | | mA |
| | | REF shorted to $AV_{DD}$ | | -1 | | |
| Reference Load Regulation | | $I_{REF}$ = 0 to 0.5mA | | 0.1 | 10 | mV |
| **EXTERNAL REFERENCE (REFCAP = $AV_{DD}$)** | | | | | | |
| Reference Input Voltage Range | $V_{REF}$ | | 3.800 | | 4.136 | V |
| REFCAP Buffer Disable Threshold | $V_{RCTH}$ | (Note 4) | $AV_{DD1}$ - 0.4 | | $AV_{DD1}$ - 0.1 | V |
| Reference Input Current | $I_{REF}$ | $V_{REF}$ = +4.096V, external clock mode, external acquisition mode, internal clock mode, or partial power-down mode | | 90 | 200 | µA |
| | | $V_{REF}$ = +4.096V, full power-down mode | | ±0.1 | ±10 | |
| Reference Input Resistance | $R_{REF}$ | External clock mode, external acquisition mode, internal clock mode, or partial power-down mode | 20 | 45 | | kΩ |
| | | Full power-down mode | | 40 | | |
| **DIGITAL INPUTS (DIN, SCLK, $\overline{CS}$)** | | | | | | |
| Input High Voltage | $V_{IH}$ | | 0.7 x $DV_{DDO}$ | | | V |
| Input Low Voltage | $V_{IL}$ | | | | 0.3 x $DV_{DDO}$ | V |
| Input Hysteresis | $V_{HYST}$ | | | 0.2 | | V |
| Input Leakage Current | $I_{IN}$ | $V_{IN}$ = 0 to $DV_{DDO}$ | -10 | | +10 | µA |
| Input Capacitance | $C_{IN}$ | | | 10 | | pF |
| **DIGITAL OUTPUTS (DOUT, SSTRB)** | | | | | | |
| Output Low Voltage | $V_{OL}$ | $DV_{DDO}$ = 4.75V, $I_{SINK}$ = 10mA | | | 0.4 | V |
| | | $DV_{DDO}$ = 2.7V, $I_{SINK}$ = 5mA | | | 0.4 | |
| Output High Voltage | $V_{OH}$ | $I_{SOURCE}$ = 0.5mA | $DV_{DDO}$ - 0.4 | | | V |
| DOUT Tri-State Leakage Current | $I_{DDO}$ | $\overline{CS}$ = $DV_{DDO}$ | -10 | | +10 | µA |
| **POWER REQUIREMENTS ($AV_{DD1}$ and AGND1, $AV_{DD2}$ and AGND2, $DV_{DD}$ and DGND, $DV_{DDO}$ and DGNDO)** | | | | | | |
| Analog Supply Voltage | $AV_{DD1}$ | | 4.75 | | 5.25 | V |
| Digital Supply Voltage | $DV_{DD}$ | | 4.75 | | 5.25 | V |

## ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, $T_A$ = -40°C to +85°C, unless otherwise noted. Typical values are at $T_A$ = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|---|
| Preamplifier Supply Voltage | $AV_{DD2}$ | | | 4.75 | | 5.25 | V |
| Digital I/O Supply Voltage | $DV_{DDO}$ | | | 2.70 | | 5.25 | V |
| $AV_{DD1}$ Supply Current | $I_{AVDD1}$ | External clock mode, external acquisition mode, or internal clock mode | Internal reference | | 3 | 3.5 | mA |
| | | | External reference | | 2.5 | 3 | |
| $DV_{DD}$ Supply Current | $I_{DVDD}$ | External clock mode, external acquisition mode, or internal clock mode | | | 0.9 | 2 | mA |
| $AV_{DD2}$ Supply Current | $I_{AVDD2}$ | External clock mode, external acquisition mode, or internal clock mode | | | 17.5 | 25 | mA |
| $DV_{DDO}$ Supply Current | $I_{DVDDO}$ | External clock mode, external acquisition mode, or internal clock mode | | | 0.2 | 1 | mA |
| Total Supply Current | | Partial power-down mode | | | 1.3 | | mA |
| | | Full power-down mode | | | 1 | | µA |
| Power-Supply Rejection Ratio | PSRR | All analog input ranges | | | ±0.125 | | LSB |
| **TIMING CHARACTERISTICS (Figures 15 and 16)** | | | | | | | |
| SCLK Period | $t_{CP}$ | External clock mode | | 272 | | 62 | µs |
| | | External acquisition mode | | 228 | | 62 | |
| | | Internal clock mode | | 100 | | 83 | |
| SCLK High Pulse Width (Note 5) | $t_{CH}$ | External clock mode | | 109 | | | ns |
| | | External acquisition mode | | 92 | | | |
| | | Internal clock mode | | 40 | | | |
| SCLK Low Pulse Width (Note 5) | $t_{CL}$ | External clock mode | | 109 | | | ns |
| | | External acquisition mode | | 92 | | | |
| | | Internal clock mode | | 40 | | | |
| DIN to SCLK Setup | $t_{DS}$ | | | 40 | | | ns |
| DIN to SCLK Hold | $t_{DH}$ | | | 0 | | | ns |
| SCLK Fall to DOUT Valid | $t_{DO}$ | | | | | 40 | ns |
| $\overline{CS}$ Fall to DOUT Enable | $t_{DV}$ | | | | | 40 | ns |
| $\overline{CS}$ Rise to DOUT Disable | $t_{TR}$ | | | | | 40 | ns |
| $\overline{CS}$ Fall to SCLK Rise Setup | $t_{CSS}$ | | | 40 | | | ns |
| $\overline{CS}$ High Minimum Pulse Width | $t_{CSPW}$ | | | 40 | | | ns |
| SCLK Fall to $\overline{CS}$ Rise Hold | $t_{CSH}$ | | | 0 | | | ns |
| SSTRB Rise to $\overline{CS}$ Fall Setup | | | | 40 | | | ns |
| DOUT Rise/Fall Time | | $C_L$ = 50pF | | | 10 | | ns |
| SSTRB Rise/Fall Time | | $C_L$ = 50pF | | | 10 | | ns |

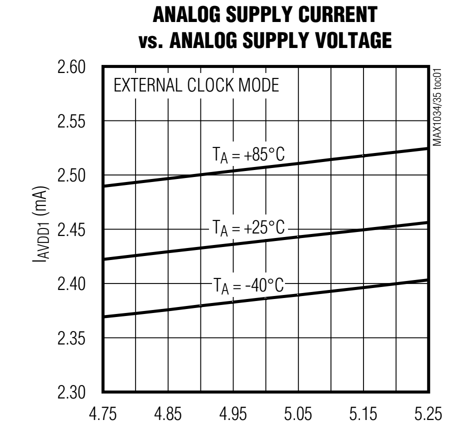
## ELECTRICAL CHARACTERISTICS (continued)

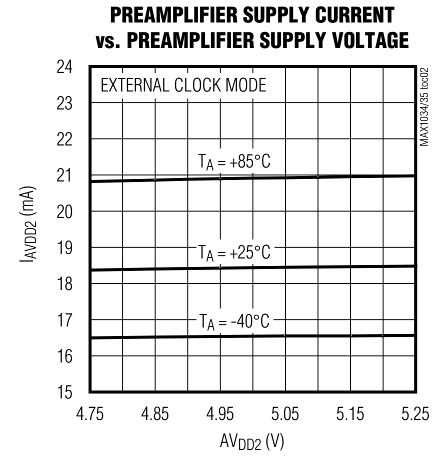
($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, $T_A$ = -40°C to +85°C, unless otherwise noted. Typical values are at $T_A$ = +25°C.)

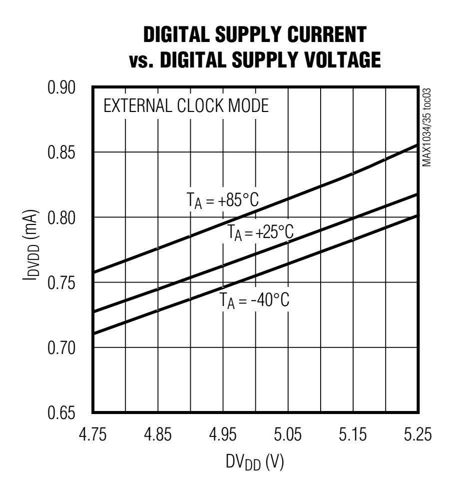
**Note 1:** Parameter tested at $AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V.
**Note 2:** See definitions in the *Parameter Definitions* section at the end of the data sheet.
**Note 3:** Guaranteed by correlation with single-ended measurements.
**Note 4:** To ensure external reference operation, $V_{REFCAP}$ must exceed ($AV_{DD1}$ - 0.1V). To ensure internal reference operation, $V_{REFCAP}$ must be below ($AV_{DD1}$ - 0.4V). Bypassing REFCAP with a 0.1µF or larger capacitor to AGND1 sets $V_{REFCAP}$ ≈ 4.096V. The transition point between internal reference mode and external reference mode lies between the REFCAP buffer disable threshold minimum and maximum values (Figures 17 and 18).
**Note 5:** The SCLK duty cycle can vary between 40% and 60%, as long as the $t_{CL}$ and $t_{CH}$ timing requirements are met.

## 典型工作特性

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, unless otherwise noted.)

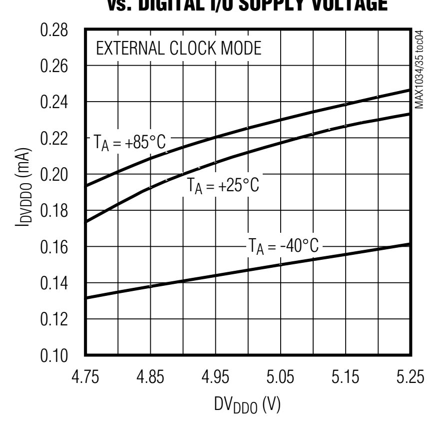


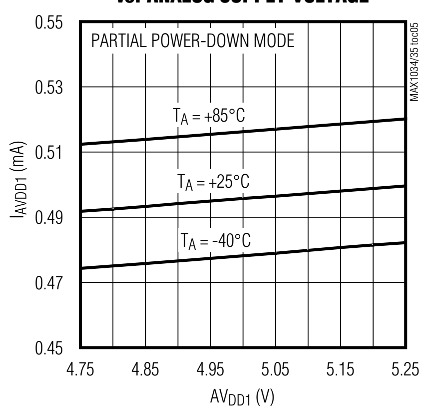



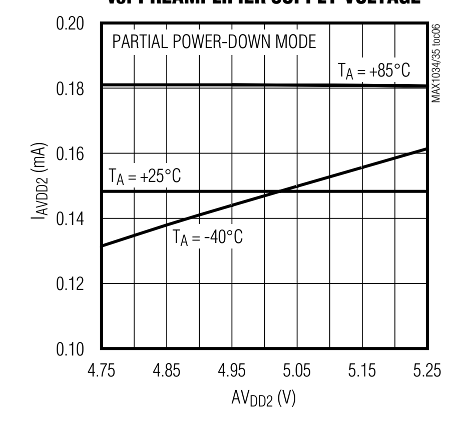



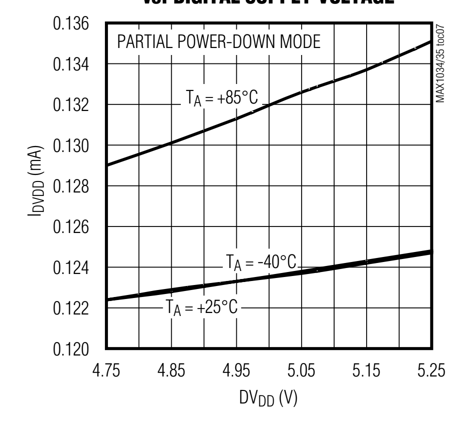
## 典型工作特性 (续)

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, unless otherwise noted.)



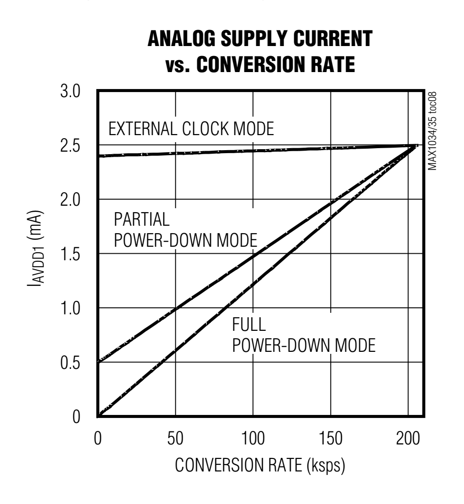



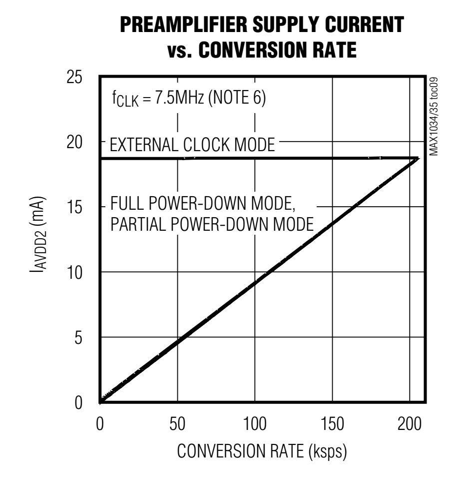



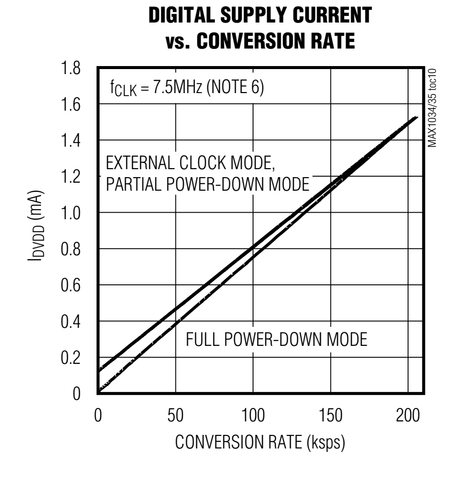



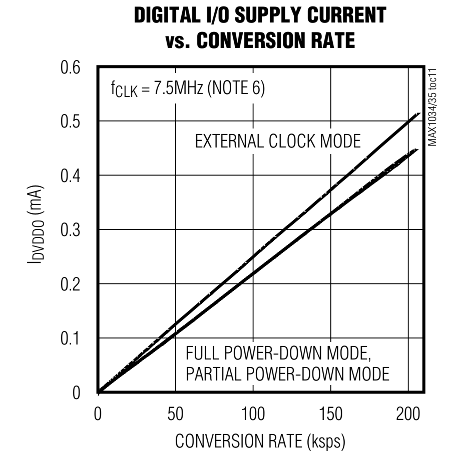
## 典型工作特性 (续)

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, unless otherwise noted.)



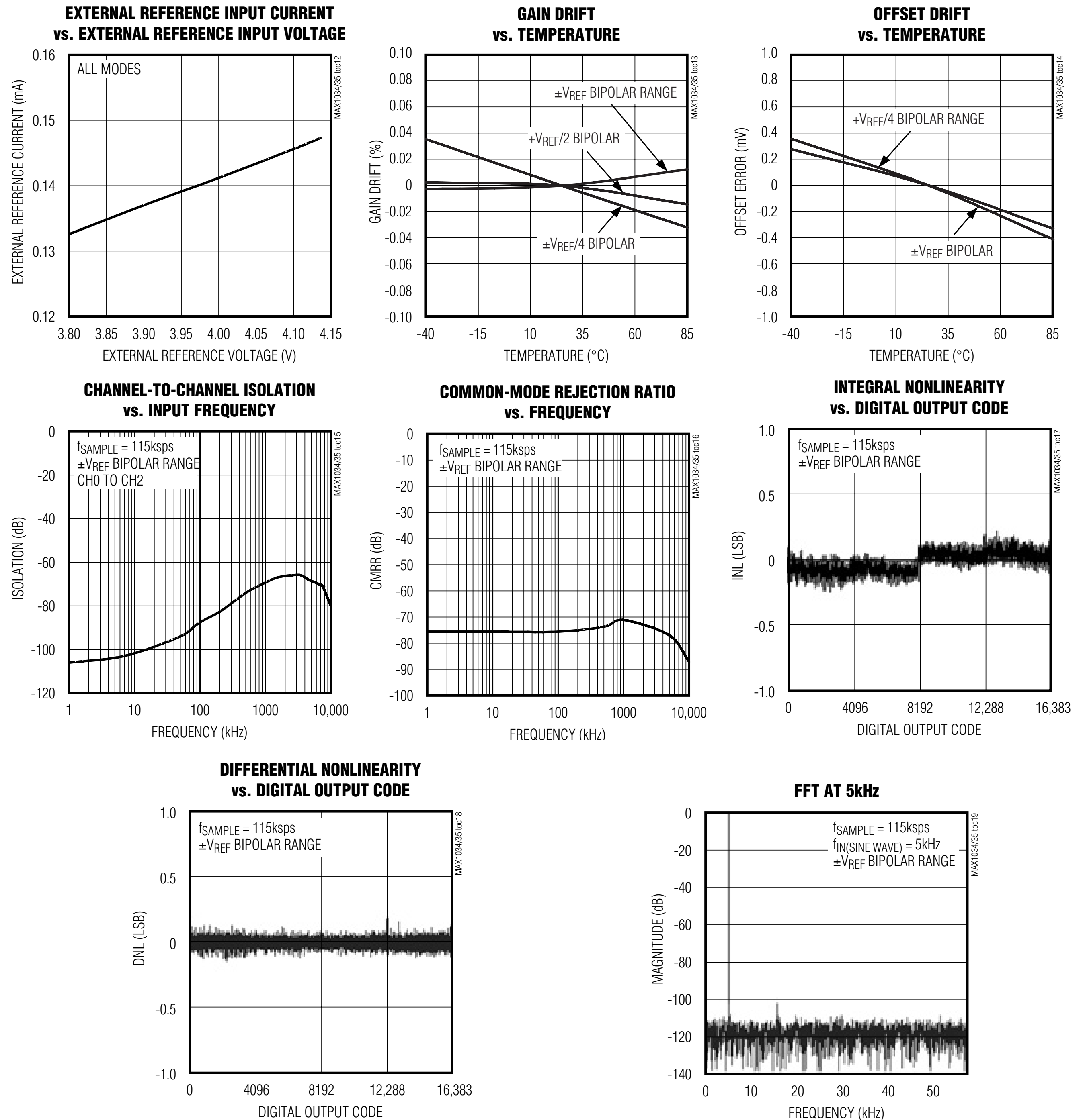




**Note 6:** For partial power-down and full power-down modes, external clock mode was used for a burst of continuous samples. Partial power-down or full power-down modes were entered thereafter. By using this method, the conversion rate was found by averaging the number of conversions over the time starting from the first conversion to the end of the partial power-down or full power-down modes.

## 典型工作特性 (续)

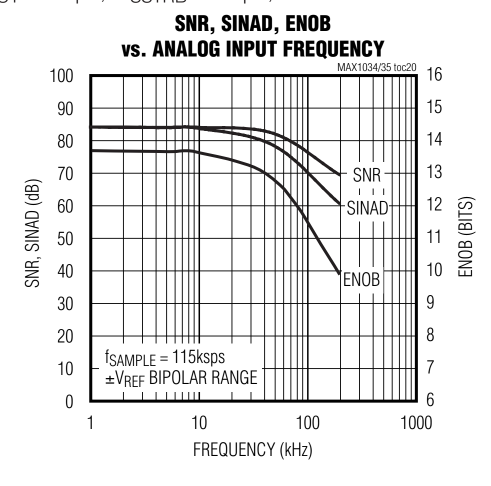
($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, unless otherwise noted.)

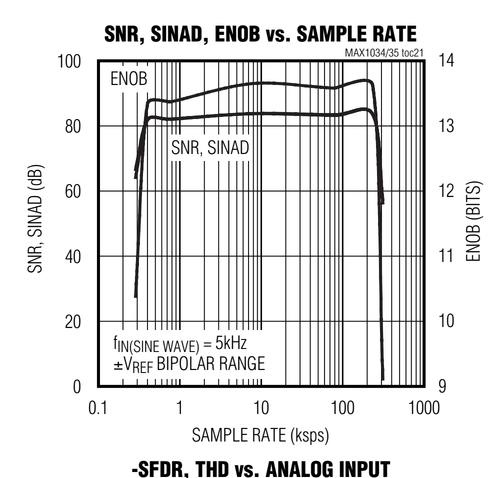


# 8/4通道，±$V_{REF}$多量程输入、串行14位ADC

## 典型工作特性 (续)

($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, unless otherwise noted.)




-SFDR, THD vs. SAMPLE RATE

MAX1034/35 toc22

fIN(SINE WAVE) = 5kHz
±VREF BIPOLAR RANGE

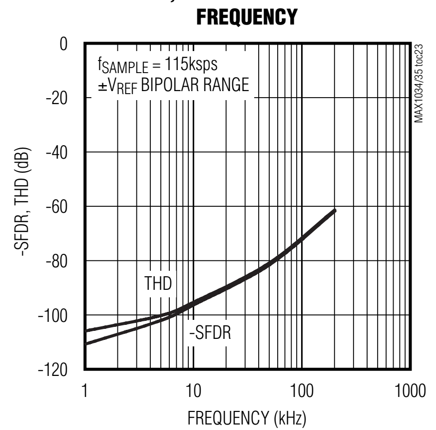
THD
-SFDR

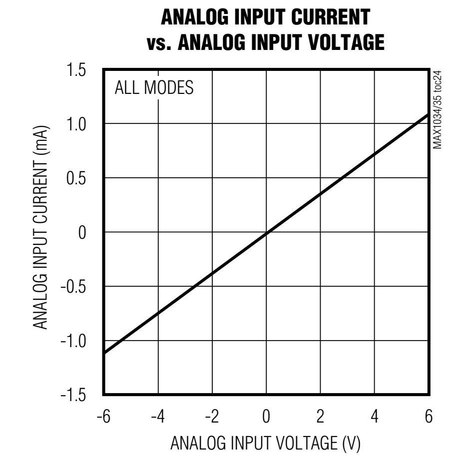
-SFDR, THD (dB)

SAMPLE RATE (ksps)

0
-20
-40
-60
-80
-100
-120

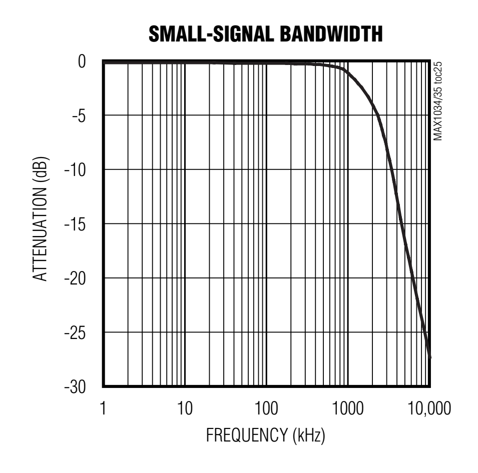
0.1
1
10
100
1000

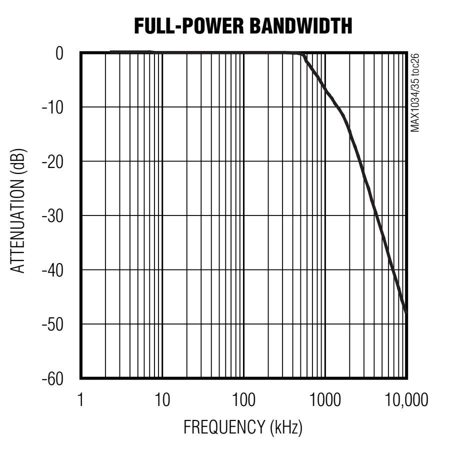


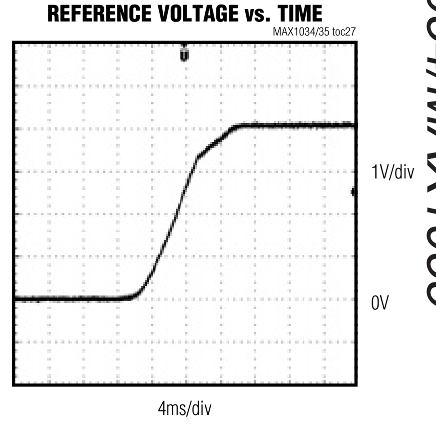



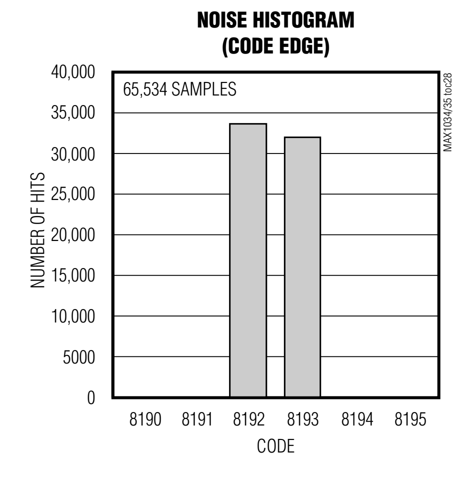
## 典型工作特性 (续)

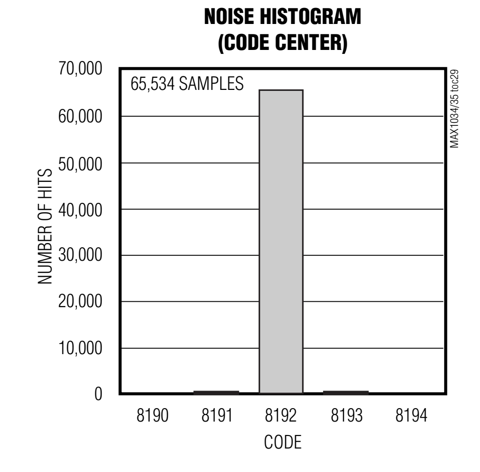
($AV_{DD1}$ = $AV_{DD2}$ = $DV_{DD}$ = $DV_{DDO}$ = 5V, AGND1 = DGND = DGNDO = AGND2 = AGND3 = 0, $f_{CLK}$ = 3.5MHz (50% duty cycle), external clock mode, $V_{REF}$ = 4.096V (external reference operation), REFCAP = $AV_{DD1}$, maximum single-ended bipolar input range (±$V_{REF}$), $C_{DOUT}$ = 50pF, $C_{SSTRB}$ = 50pF, unless otherwise noted.)



## 引脚说明

| 引脚 | | 名称 | 功能 |
|---|---|---|---|
| MAX1034 | MAX1035 | | |
| 1 | 2 | $AV_{DD1}$ | 模拟供电电压1，将$AV_{DD1}$与+4.75V至+5.25V电源电压相连。使用一个0.1µF电容将$AV_{DD1}$旁路到AGND1。 |
| 2 | 3 | CH0 | 模拟输入通道0。 |
| 3 | 4 | CH1 | 模拟输入通道1。 |
| 4 | 5 | CH2 | 模拟输入通道2。 |
| 5 | 6 | CH3 | 模拟输入通道3。 |
| 6 | — | CH4 | 模拟输入通道4。 |
| 7 | — | CH5 | 模拟输入通道5。 |
| 8 | — | CH6 | 模拟输入通道6。 |
| 9 | — | CH7 | 模拟输入通道7。 |
| 10 | 7 | $\overline{CS}$ | 低有效片选输入，当$\overline{CS}$为低时，数据在SCLK的上升沿由DIN同步移入器件。同时当$\overline{CS}$为低时，数据在SCLK的下降沿从DOUT同步输出。当$\overline{CS}$为高时，将忽略SCLK和DIN的状态变化，DOUT为高阻态。 |
| 11 | 8 | DIN | 串行数据输入。当$\overline{CS}$为低时，数据在SCLK的上升沿同步移入器件。当$\overline{CS}$为高时，将忽略DIN的状态变化。 |
| 12 | 9 | SSTRB | 转换状态指示。当采用内部时钟时，SSTRB的上升沿表示需要从器件读取的数据已经准备好。当工作于外部时钟模式时，SSTRB始终保持低电平。不论$\overline{CS}$为何状态，SSTRB都不会产生三态输出，因此需要使用专门的I/O线。 |
| 13 | 10 | SCLK | 串行时钟输入。当$\overline{CS}$为低时，SCLK将数据同步移入DIN和移出DOUT。当$\overline{CS}$为高时，将忽略SCLK时钟变化。 |
| 14 | 11 | DOUT | 串行数据输出。当$\overline{CS}$为低时，数据在SCLK的每个下降沿同步移出DOUT。当$\overline{CS}$为高时，DOUT为高阻态。 |
| 15 | 12 | DGNDO | 数字I/O地。DGND、DGNDO、AGND3、AGND2和AGND1必须连到一起。 |
| 16 | 13 | DGND | 数字地。DGND、DGNDO、AGND3、AGND2和AGND1必须连在一起。 |
| 17 | 14 | $DV_{DDO}$ | 数字I/O电源电压输入。将$DV_{DDO}$与+2.7V至+5.25V电源电压相连。使用一个0.1µF电容将$DV_{DDO}$旁路至DGNDO。 |
| 18 | 15 | $DV_{DD}$ | 数字电源电压输入。将$DV_{DD}$与+4.75V至+5.25V电源电压相连。使用一个0.1µF电容将$DV_{DD}$旁路至DGND。 |
| 19 | 16 | REFCAP | 带隙电压旁路节点。采用外部基准时，将REFCAP与$AV_{DD}$相连。采用内部基准时，用一个0.01µF电容将REFCAP旁路到AGND1 ($V_{REFCAP} \approx 4.096V$)。 |
| 20 | 17 | REF | 基准缓冲输出/ADC基准输入。采用外部基准时，应给REF提供一个3.800V到4.136V的外部基准电压。采用内部基准时，通过一个1µF电容将REF旁路到AGND1，并且$V_{REF}$ = 4.096V ±1%。 |

## 引脚说明 (续)

| 引脚 | | 名称 | 功能 |
|---|---|---|---|
| MAX1034 | MAX1035 | | |
| 21 | 18 | AGND3 | 模拟信号地3。AGND3是ADC的负基准电位。将AGND3与AGND1相连。DGND、DGNDO、AGND3、AGND2和AGND1必须连在一起。 |
| 22 | 19 | $AV_{DD2}$ | 模拟电源电压2。将$AV_{DD2}$与+4.75V至+5.25V电源电压相连。通过一个0.1µF电容将$AV_{DD2}$旁路到AGND2。 |
| 23 | 20 | AGND2 | 模拟地2。从该模拟地流过的电流大约比AGND1多5倍。DGND、DGNDO、AGND3、AGND2和AGND1必须连接在一起。 |
| 24 | 1 | AGND1 | 模拟地1。DGND、DGNDO、AGND3、AGND2和AGND1必须连接在一起。 |

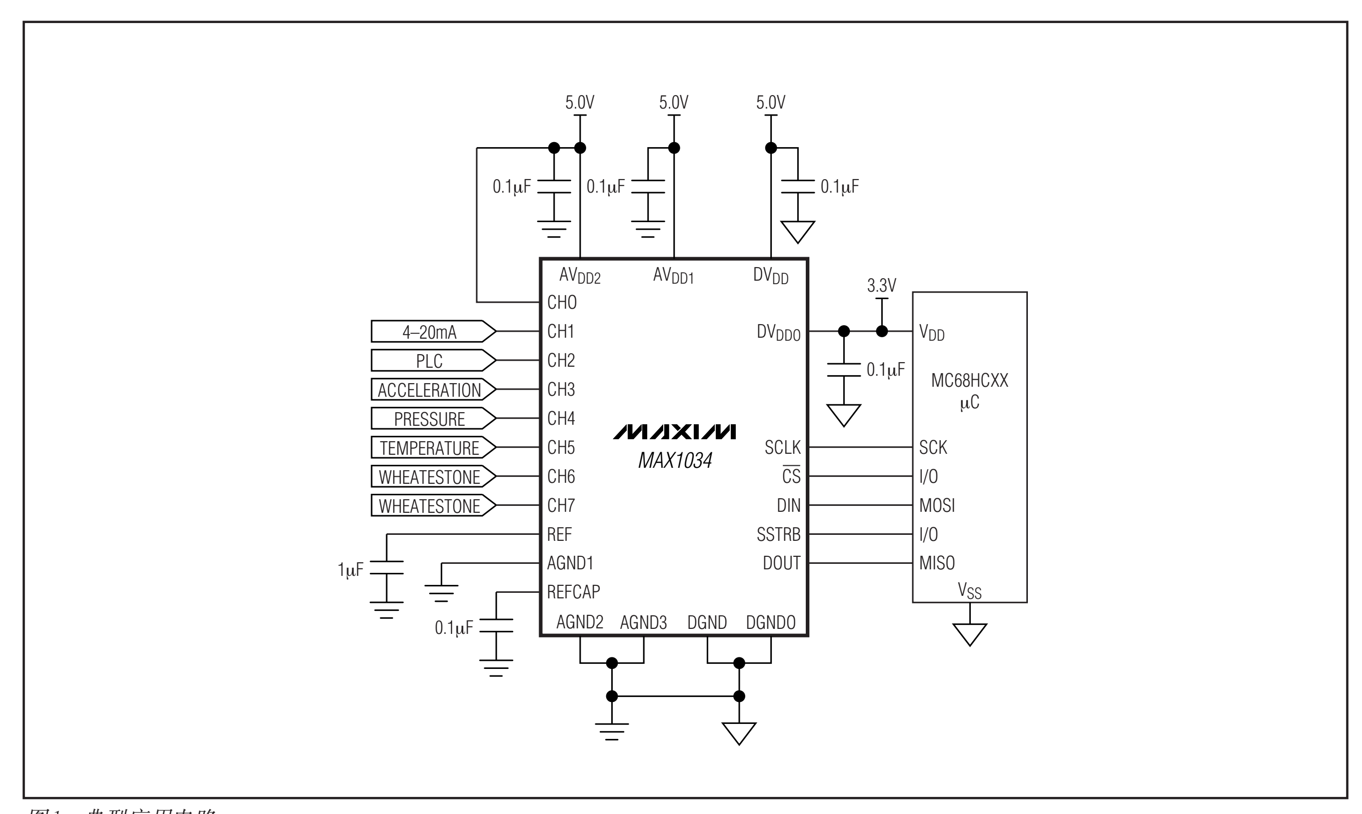



*图1. 典型应用电路*

## 详细说明

MAX1034/MAX1035多量程、低功耗、14位逐次逼近型ADC采用+5V单电源供电，并具有独立的数字电源，允许和2.7V至5.25V系统连接。这两款14位ADC带有支持单端和全差分输入的内部采样-保持 (T/H) 电路。进行单端信号转换时，有效模拟输入电压范围从地电位以下的-$V_{REF}$到地电位以上的+$V_{REF}$。允许的最大差分输入电压范围为 -2 x $V_{REF}$到+2 x $V_{REF}$。数据转换可通过软件编程实现多种通道配置和数据采集应用。微处理器 (µC) 很容易通过SPI/QSPI/MICROWIRE兼容的串行接口控制转换器。

# 8/4通道，±$V_{REF}$多量程输入、串行14位ADC

MAX1034具有8路单端模拟输入通道或4路差分通道 (见本数据资料最后部分给出的*方框图*)。MAX1035具有4路单端模拟输入通道或2路差分通道。每一个模拟输入通道均可通过软件独立编程设置为7种单端输入范围 (0至+$V_{REF}$/2、-$V_{REF}$/2至0、0至+$V_{REF}$、-$V_{REF}$至0、±$V_{REF}$/4、±$V_{REF}$/2和±$V_{REF}$) 和3种差分输入范围 (±$V_{REF}$/2、±$V_{REF}$和±2 x $V_{REF}$)。此外，所有模拟输入通道均具有±6V故障容限。空闲通道的故障状态不会影响其它通道的转换结果。

### 电源

为使工作环境保持低噪声，MAX1034和MAX1035为电路的每一部分提供独立的电源。表1所示为4个独立电源。采用独立的$AV_{DD1}$、$AV_{DD2}$、$DV_{DD}$和$DV_{DDO}$电源供电，可获得最佳性能。另一种做法是在尽可能靠近器件的位置将$AV_{DD1}$、$AV_{DD2}$和$DV_{DD}$连接到一起，以方便电源连接。同时在尽可能靠近器件的位置将AGND1、AGND2、AGND3、DGND和DGNDO连接在一起。分别使用0.1µF电容将每一个供电电源旁路到各自对应的接地点 (表1)。如果出现较大的低频噪声，则应增加一个10µF电容与0.1µF旁路电容并联。

### 转换器工作

MAX1034/MAX1035 ADC采用全差分、逐次逼近寄存器 (SAR) 转换技术，并提供片上T/H模块，可将电压信号转换成14位数字结果。器件支持单端和差分输入结构，并可编程设置单极性和双极性信号范围。

### 采样-保持电路

MAX1034/MAX1035具有开关电容T/H架构，允许模拟输入信号以电荷的形式存储在采样电容上。各种工作模式下的T/H时序和采样时间如图2、图3和图4所示。MAX1034/MAX1035的模拟输入电路对取样电容的输入信号进行了缓冲，使模拟输入电流和输入电压保持线性关系 (图5)。

表1. MAX1034/MAX1035电源与旁路

| POWER SUPPLY/GROUND | SUPPLY VOLTAGE RANGE (V) | TYPICAL SUPPLY CURRENT (mA) | CIRCUIT SECTION | BYPASSING |
|---|---|---|---|---|
| $DV_{DDO}$/DGNDO | 2.7 to 5.25 | 0.2 | Digital I/O | 0.1µF to DGNDO |
| $AV_{DD2}$/AGND2 | 4.75 to 5.25 | 17.5 | Analog Circuitry | 0.1µF to AGND2 |
| $AV_{DD1}$/AGND1 | 4.75 to 5.25 | 3.0 | Analog Circuitry | 0.1µF to AGND1 |
| $DV_{DD}$/DGND | 4.75 to 5.25 | 0.9 | Digital Control Logic and Memory | 0.1µF to DGND |

表2. 模拟输入配置字节

| BIT NUMBER | NAME | DESCRIPTION |
|---|---|---|
| 7 | START | Start Bit. The first logic 1 after $\overline{CS}$ goes low defines the beginning of the analog input configuration byte. |
| 6 | C2 | Channel-Select Bits. SEL[2:0] select the analog input channel to be configured (Tables 4 and 5). |
| 5 | C1 | |
| 4 | C0 | |
| 3 | DIF/$\overline{SGL}$ | Differential or Single-Ended Configuration Bit. DIF/$\overline{SGL}$ = 0 configures the selected analog input channel for single-ended operation. DIF/$\overline{SGL}$ = 1 configures the channel for differential operation. In single-ended mode, input voltages are measured between the selected input channel and AGND1, as shown in Table 4. In differential mode, the input voltages are measured between two input channels, as shown in Table 5. Be aware that changing DIF/$\overline{SGL}$ adjusts the FSR, as shown in Table 6. |
| 2 | R2 | Input-Range-Select Bits. R[2:0] select the input voltage range, as shown in Table 6 and Figure 7. |
| 1 | R1 | |
| 0 | R0 | |

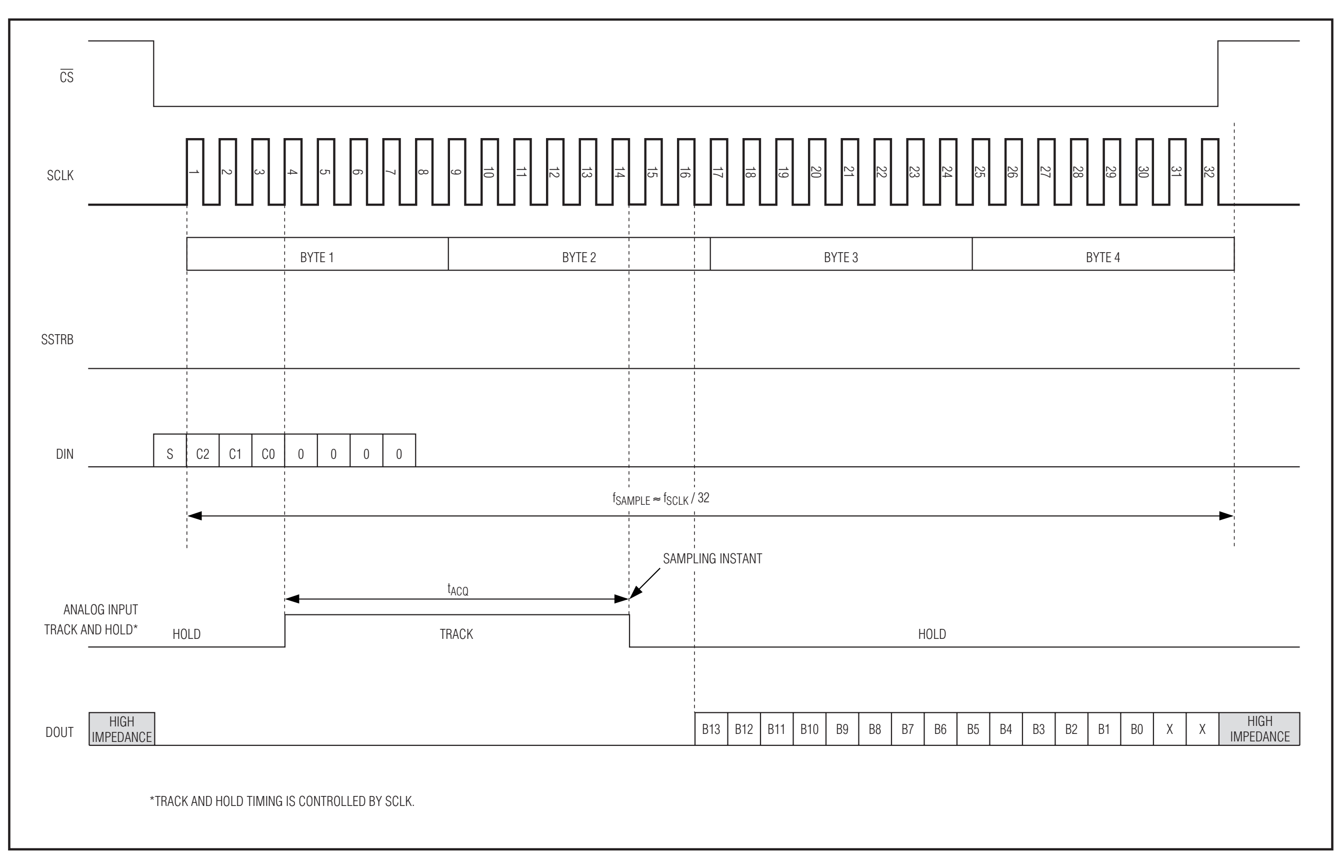



*图2. 外部时钟模式 (模式0)*

### 模拟输入电路

通过写相应的模拟输入配置字节 (表2)，可将模拟输入单独配置成差分或单端转换方式。模拟输入信号源必须能够驱动ADC的6kΩ输入阻抗 (图6)。

图6给出了简化的模拟输入电路。模拟输入具有±6V故障容限，并通过背向二极管提供保护。求和结点电压$V_{SJ}$，是通道输入共模电压的函数：

$$V_{SJ} = \left(\frac{R1}{R1 + R2}\right) \times 2.375V + \left(1 + \left(\frac{R1}{R1 + R2}\right)\right) \times V_{CM}$$

这样一来，在整个输入电压范围内，模拟输入阻抗相对恒定，如图5所示。

单端转换内部以AGND1作为参考点 (表3和表4)。在差分模式下，IN+和IN-根据表3和表5进行选择。设置差分通道时，差分对儿按照正通道的模拟配置字节来设置。例如，要将CH2和CH3配置为量程为±$V_{REF}$的差分转换输入时，应将CH2的模拟配置字节设置成量程为±$V_{REF}$的差分转换方式 (1010 1100)。为启动CH2和CH3差分对儿转换，发送命令1010 0000。

### 模拟输入带宽

MAX1034/MAX1035输入采样电路具有1.5MHz小信号带宽。1.5MHz输入带宽使该系列器件能够数字化高速瞬变信号。如*典型工作特性*中的-SFDR, THD vs. Analog Input Frequency曲线所示，当需要数字化的信号频率超过15kHz时，谐波失真将会加剧。

### 模拟输入范围和故障容限

如图7所示，可通过软件选择能够产生有效数字输出的单端模拟输入电压范围。DIF/$\overline{SGL}$ = 0时，每一个模拟输入通道均可通过设置R[2:0] 控制位独立编程为7种单端输入范围之一。

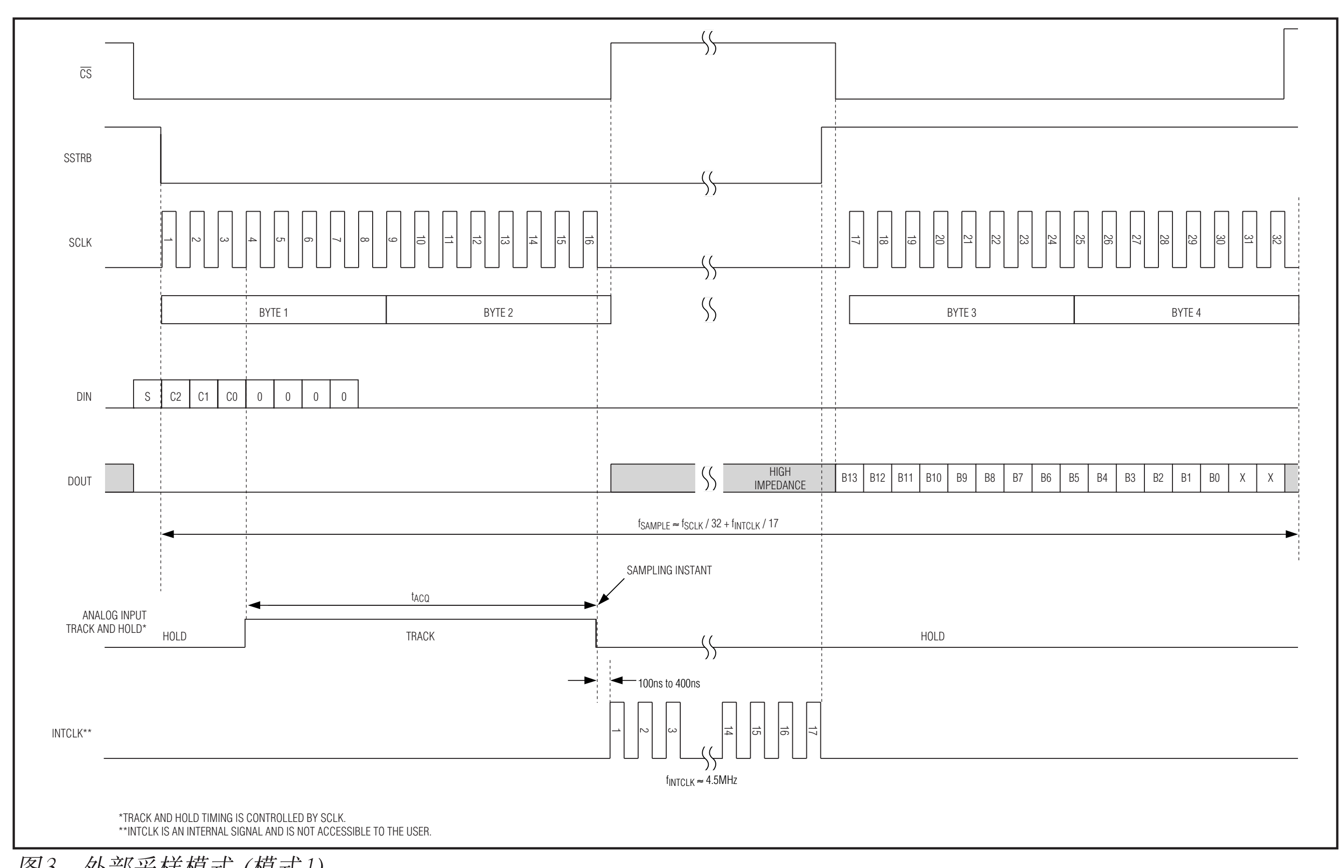



*图3. 外部采样模式 (模式1)*

图8说明了可软件选择的差分模拟输入电压范围，并能够产生有效数字输出。在 DIF/$\overline{SGL}$ = 1时，每一个模拟输入差分对儿均能通过设置 R[2:0] 控制位独立编程为3种差分输入范围之一。

无论所指定的输入电压范围是多少，以及通道是否被选择，每个模拟输入都具有±6V故障容限。而且无论器件是否上电，模拟输入故障保护均有效。

对于超出FSR的任何电压，只要在±6V故障容限范围之内，加到模拟输入通道后都将产生满量程输出电压结果。

箝位二极管的击穿电压门限超过6V，可在ESD和其它瞬态冲击情况下保护MAX1034/MAX1035的模拟输入 (图6)。器件正常工作时，箝位二极管不会导通，也不会在瞬态冲击下限制电流。当工作环境具有潜在的高能量电压和/或电流瞬变时，需要从外部对MAX1034/MAX1035提供保护。

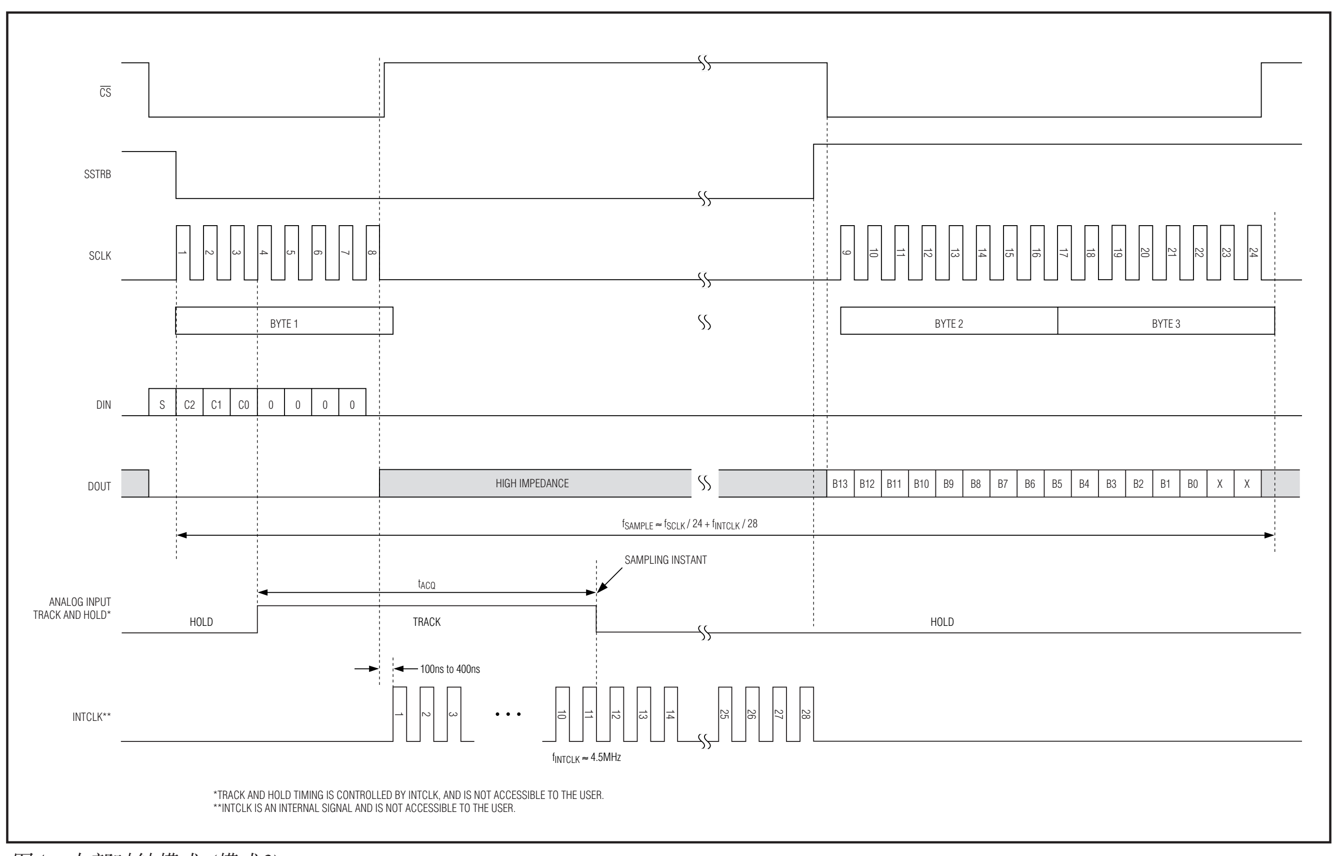



图4. 内部时钟模式 (模式2)

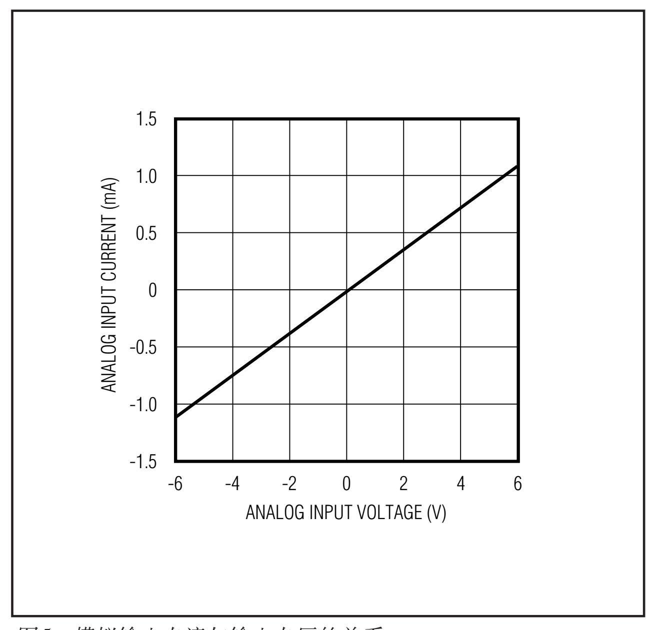



图5. 模拟输入电流与输入电压的关系

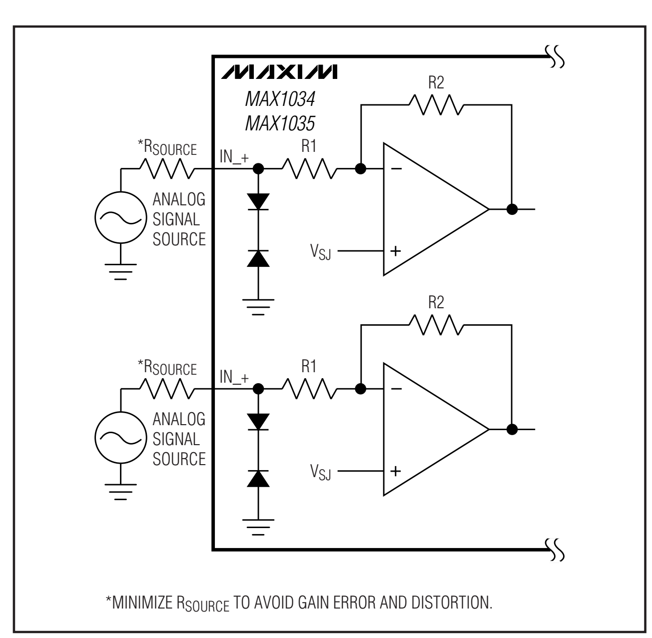



图6. 简化的模拟输入电路

表3. 输入数据字格式

| OPERATION | DATA BIT | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| | D7 (START) | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| **Conversion-Start Byte** (Tables 4 and 5) | 1 | C2 | C1 | C0 | 0 | 0 | 0 | 0 |
| **Analog-Input Configuration Byte** (Table 2) | 1 | C2 | C1 | C0 | DIF/$\overline{SGL}$ | R2 | R1 | R0 |
| **Mode-Control Byte** (Table 7) | 1 | M2 | M1 | M0 | 1 | 0 | 0 | 0 |

表4. 单端模式 (DIF/$\overline{SGL}$ = 0) 下的通道选择

| CHANNEL-SELECT BIT | | | CHANNEL | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| C2 | C1 | C0 | CH0 | CH1 | CH2 | CH3 | CH4 | CH5 | CH6 | CH7 | AGND1 |
| 0 | 0 | 0 | + | | | | | | | | - |
| 0 | 0 | 1 | | + | | | | | | | - |
| 0 | 1 | 0 | | | + | | | | | | - |
| 0 | 1 | 1 | | | | + | | | | | - |
| 1 | 0 | 0 | | | | | + | | | | - |
| 1 | 0 | 1 | | | | | | + | | | - |
| 1 | 1 | 0 | | | | | | | + | | - |
| 1 | 1 | 1 | | | | | | | | + | - |

表5. 真差分模式 (DIF/$\overline{SGL}$ = 1) 下的通道选择

| CHANNEL-SELECT BIT | | | CHANNEL | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| C2 | C1 | C0 | CH0 | CH1 | CH2 | CH3 | CH4 | CH5 | CH6 | CH7 | AGND1 |
| 0 | 0 | 0 | + | - | | | | | | | |
| 0 | 0 | 1 | RESERVED | | | | | | | | |
| 0 | 1 | 0 | | | + | - | | | | | |
| 0 | 1 | 1 | RESERVED | | | | | | | | |
| 1 | 0 | 0 | | | | | + | - | | | |
| 1 | 0 | 1 | RESERVED | | | | | | | | |
| 1 | 1 | 0 | | | | | | | + | - | |
| 1 | 1 | 1 | RESERVED | | | | | | | | |

### 差分共模范围

MAX1034/MAX1035的差分共模范围 ($V_{CMDR}$) 必须保持在-4.75V至+5.5V以内，以得到有效的转换结果。差分共模范围定义如下：

$$V_{CMDR} = \frac{(CH_+) + (CH_-)}{2}$$

除了共模输入电压范围的限制外，每个独立的模拟输入相对于AGND1还必须限制在±6V之内。

模拟输入配置字节中的量程范围选择位R[2:0] 决定了相应通道的满量程范围 (表2和表6)。图9、图10和图11给出了MAX1034/MAX1035工作在FSR = $V_{REF}$ / 2、FSR = $V_{REF}$ 和FSR = 2 x $V_{REF}$时分别对应的有效模拟输入电压范围。阴影部分覆盖了支持整个FSR的有效共模电压范围。

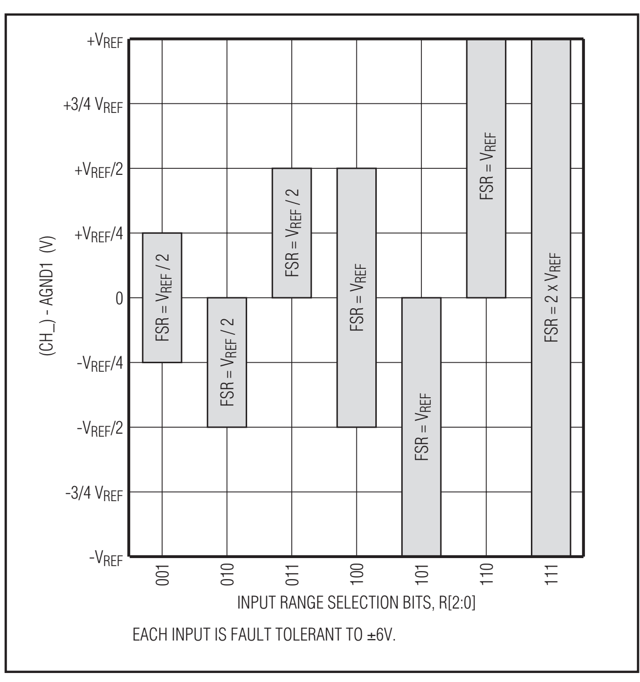



图7. 单端输入电压范围

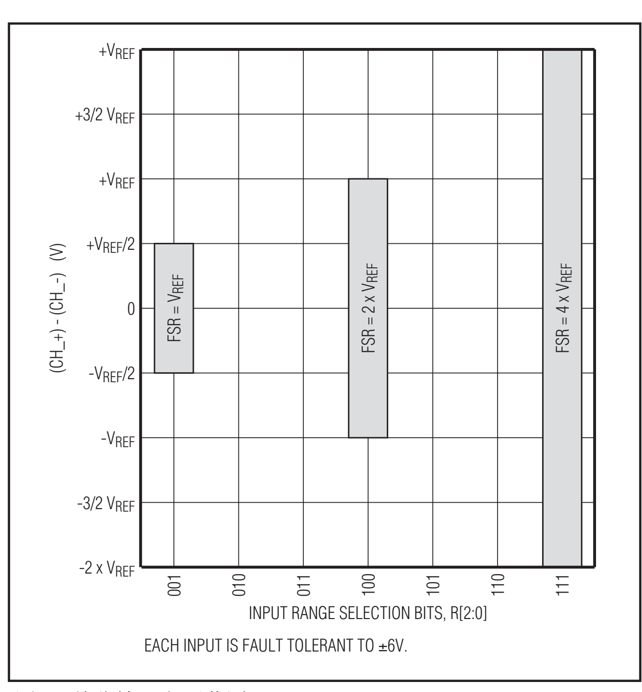



图8. 差分输入电压范围

### 数字接口

MAX1034/MAX1035具有SPI/QSPI和MICROWIRE兼容的串行接口。MAX1034/MAX1035通过DIN、DOUT、SCLK、$\overline{CS}$和SSTRB可方便地与主机进行通信。SCLK速率可高达10MHz (内部时钟模式，模式2)、3.67MHz (外部时钟模式，模式0) 或4.39MHz (外部时钟模式，模式1)。主机 (通常采用微控制器) 应该采用CPOL = 0、CPHA = 0的SPI传输格式，时序图如图2、图3和图4所示。

数字接口用于完成以下功能：

- 选择单端或真差分输入通道配置。
- 选择单极性或双极性输入范围。
- 选择工作模式：
  外部时钟 (模式0)
  外部采样 (模式1)
  内部时钟 (模式2)
  复位 (模式4)
  局部关断模式 (模式6)
  完全关断模式 (模式7)
- 启动转换和读取结果。

### 片选 ($\overline{CS}$)

主机通过$\overline{CS}$使能与MAX1034/MAX1035之间的通信。当$\overline{CS}$为低时，数据在SCLK的上升沿由DIN同步移入器件，并且数据在SCLK的下降沿从DOUT同步移出器件。当$\overline{CS}$为高时，将忽略SCLK和DIN的状态变化，此时DOUT为高阻态，所以允许其它外围设备共享DOUT线。由于SSTRB永远都不会是高阻态，因此其它设备不能共享该信号线。

### 转换状态指示 (SSTRB)

如图3和图4所示，SSTRB变高时表示ADC已经完成了一次转换，并且主机可以读取已准备好的结果。SSTRB在外部时钟模式下 (图2) 始终保持低电平，因此可以不连接。SSTRB会被驱动为高电平或低电平，与$\overline{CS}$的状态无关，因此其它外部设备不能共享SSTRB。

表6. 量程范围选择位

| DIF/$\overline{SGL}$ | R2 | R1 | R0 | MODE | TRANSFER FUNCTION |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | No Range Change* | — |
| 0 | 0 | 0 | 1 | Single-Ended<br>Bipolar - $V_{REF}$/4 to +$V_{REF}$/4<br>Full-Scale Range (FSR) = $V_{REF}$ / 2 | Figure 12 |
| 0 | 0 | 1 | 0 | Single-Ended<br>Unipolar -$V_{REF}$/2 to 0<br>FSR = $V_{REF}$ / 2 | Figure 13 |
| 0 | 0 | 1 | 1 | Single-Ended<br>Unipolar 0 to +$V_{REF}$/2<br>FSR = $V_{REF}$ / 2 | Figure 14 |
| 0 | 1 | 0 | 0 | Single-Ended<br>Bipolar -$V_{REF}$/2 to +$V_{REF}$/2<br>FSR = $V_{REF}$ | Figure 12 |
| 0 | 1 | 0 | 1 | Single-Ended<br>Unipolar -$V_{REF}$ to 0<br>FSR = $V_{REF}$ | Figure 13 |
| 0 | 1 | 1 | 0 | Single-Ended<br>Unipolar 0 to +$V_{REF}$<br>FSR = $V_{REF}$ | Figure 14 |
| 0 | 1 | 1 | 1 | **DEFAULT SETTING**<br>Single-Ended<br>Bipolar -$V_{REF}$ to +$V_{REF}$<br>FSR = 2 x $V_{REF}$ | Figure 12 |
| 1 | 0 | 0 | 0 | No Range Change** | — |
| 1 | 0 | 0 | 1 | Differential<br>Bipolar -$V_{REF}$/2 to +$V_{REF}$/2<br>FSR = $V_{REF}$ | Figure 12 |
| 1 | 0 | 1 | 0 | Reserved | — |
| 1 | 0 | 1 | 1 | Reserved | — |
| 1 | 1 | 0 | 0 | Differential<br>Bipolar -$V_{REF}$ to +$V_{REF}$<br>FSR = 2 x $V_{REF}$ | Figure 12 |
| 1 | 1 | 0 | 1 | Reserved | — |
| 1 | 1 | 1 | 0 | Reserved | — |
| 1 | 1 | 1 | 1 | Differential<br>Bipolar -2 x $V_{REF}$ to +2 x $V_{REF}$<br>FSR = 4 x $V_{REF}$ | Figure 12 |

* 转换启动字节 (见表3)。
** 模式控制字节 (见表3)。

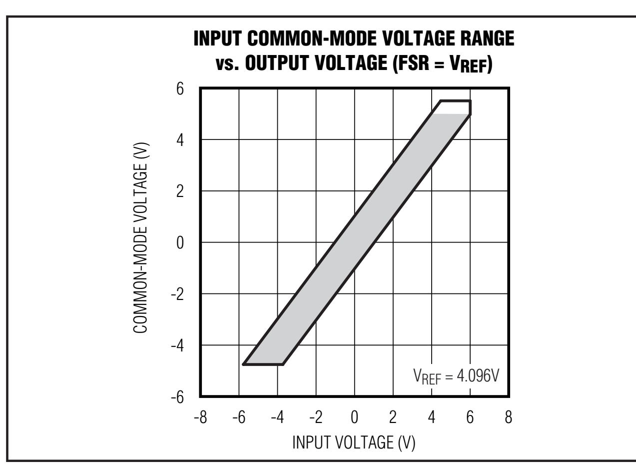



图9. 共模电压与输入电压的关系 (FSR = $V_{REF}$)

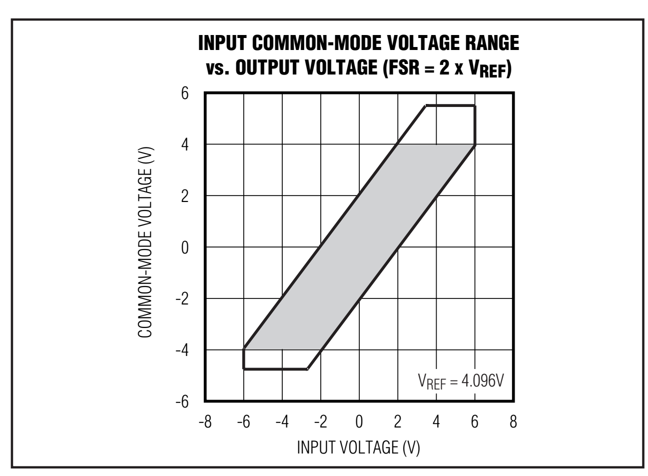



图10. 共模电压与输入电压的关系 (FSR = 2 x $V_{REF}$)

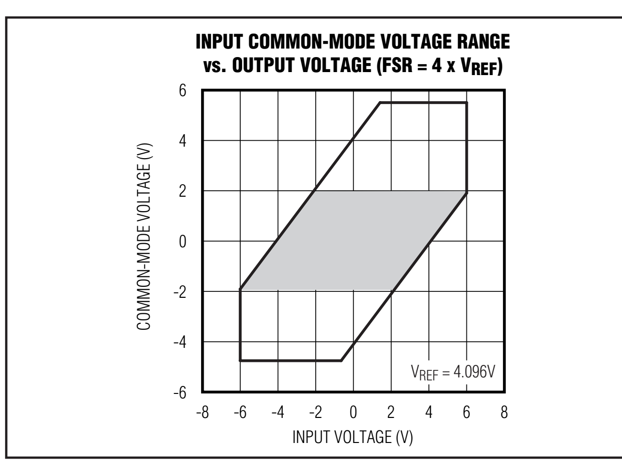



图11. 共模电压与输入电压的关系 (FSR = 4 x $V_{REF}$)

### 起始位

如表3所示，使用3种输入数据字格式与MAX1034/MAX1035进行通信。每一个输入数据字均由一个起始位开始。该起始位定义为：$\overline{CS}$为低时，同步移入DIN的第一个逻辑高电平位，同时需符合下列条件之一：

- 器件未进行数据转换，且先前转换的所有数据均已从DOUT移出。
- 器件配置为外部时钟模式 (模式0)，且先前的转换结果位B13–B1已经从DOUT移出。
- 器件配置为外部采集模式 (模式1)，且先前的转换结果位B13–B5已经从DOUT移出。
- 器件配置为内部时钟模式 (模式2)，且先前的转换结果位B13–B2已经从DOUT移出。

### 输出数据格式

在SCLK的下降沿，输出数据以偏移二进制码的格式从DOUT同步输出，并且MSB在前 (B13)。关于输出二进制码的信息，请参见*传输函数*一节以及图12、图13和图14。

### 配置模拟输入

每一个模拟输入都提供两个配置参数：

- 单端或真差分输入。
- 输入电压范围。

这些参数可用表2所示的模拟输入配置字节来进行配置。每一个模拟输入都有一个专门寄存器用于存储其输入配置信息。图15所示的时序图说明了如何写模拟输入配置寄存器。图16给出了DOUT和SSTRB的时序。

### 传输函数

ADC的传输函数定义了模拟输入电压和数字输出代码之间的关系。图12、图13和图14给出了MAX1034/MAX1035的传输函数。该传输函数取决于下列因素：

- 模拟输入电压范围
- 单端或差分配置
- 基准电压

ADC传输函数坐标轴的单位通常采用最低有效位 (LSB)。对于MAX1034/MAX1035，LSB采用下列公式进行计算：

$$1\ LSB = \frac{FSR \times V_{REF}}{2^N \times 4.096V}$$

其中N是位数 (N = 14)，FSR为满量程范围 (见图7和图8)。

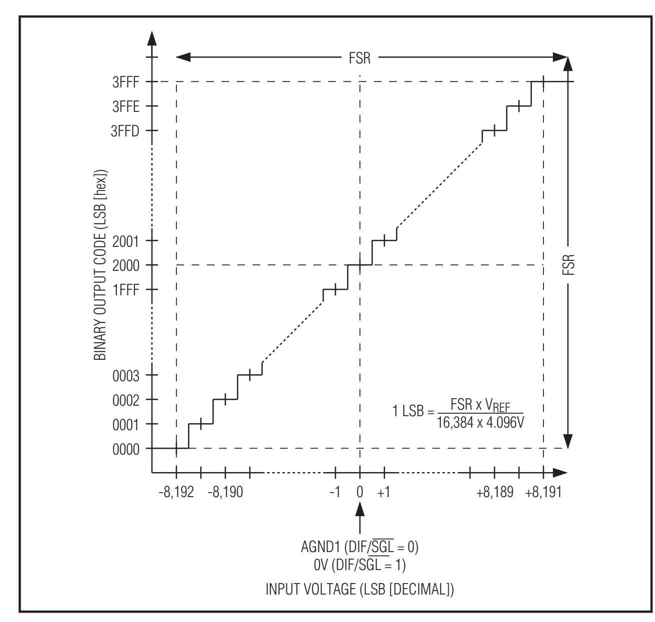



*图12. 理想的双极性传输函数，单端或差分输入*

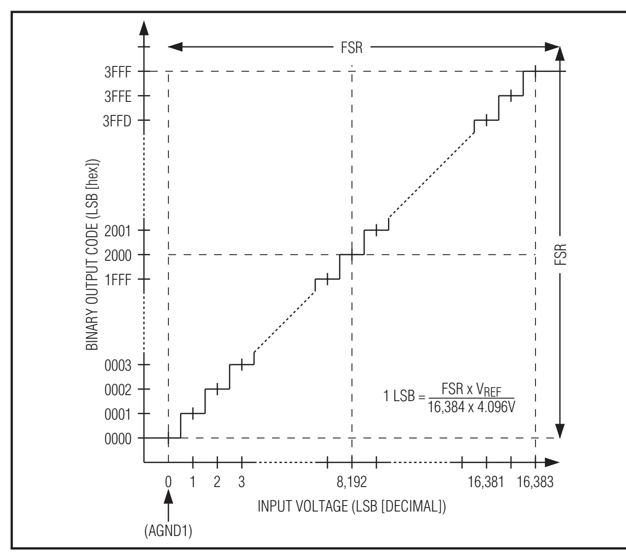



*图14. 理想的单极性传输函数，单端输入，0到+FSR*

### 模式控制

MAX1034/MAX1035包含1个字节宽度的模式控制寄存器。图15给出了如何使用模式控制字节，模式控制字节的格式如表7所示。利用模式控制字节来选择转换方式，控制MAX1034/MAX1035的功率模式。

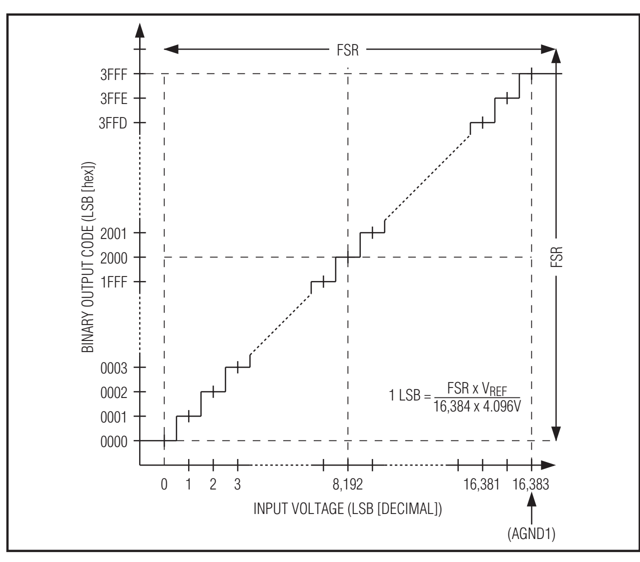



*图13. 理想的单极性传输函数，单端输入，-FSR到0*

### 选择转换方式

利用模式控制字节选择转换方式 (参见*模式控制*部分)，并使用转换启动命令 (见表3、图2、图3和图4) 来启动转换。MAX1034/MAX1035采用下列三种方法之一将模拟信号转换成数字信号：

- 外部时钟模式，模式0 (图2)
  - 最高吞吐速率 (见*Electrical Characteristics*表)。
  - 用户控制采样时间。
  - 转换期间$\overline{CS}$保持低电平。
  - 在整个ADC转换期间和从DOUT读取数据过程中，均由用户提供SCLK。
- 外部采集模式，模式1 (图3)
  - 最低吞吐速率 (见*Electrical Characteristics*表)。
  - 用户控制采样时间。
  - 用户提供2个字节的SCLK，然后将$\overline{CS}$驱动为高电平，可在ADC转换期间减轻处理器的负担。
  - 在SSTRB变高之后，用户提供2个字节的SCLK，并读取DOUT数据。
- 内部时钟模式，模式2 (图4)
  - 高吞吐速率 (见*Electrical Characteristics*表)。
  - 内部时钟控制采样时间。

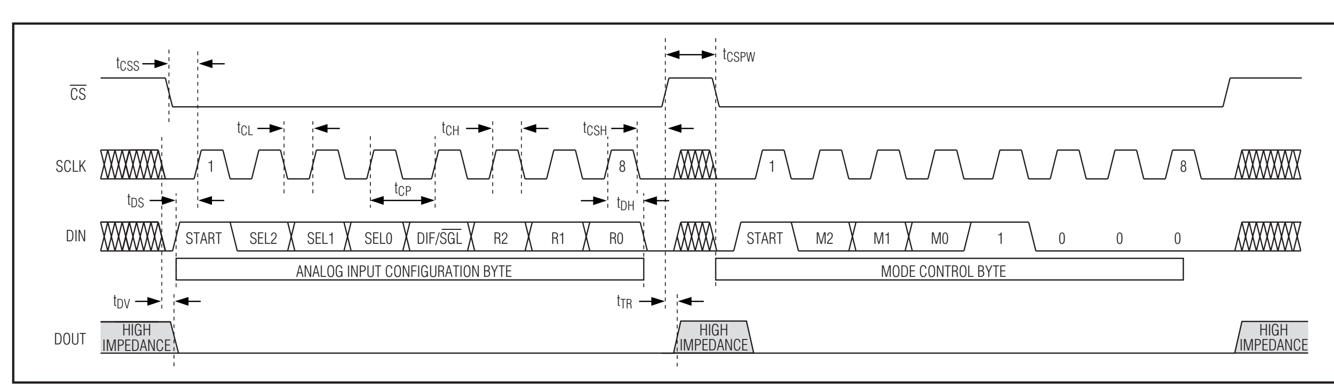



图15. 模拟输入配置字节和模式控制字节的时序

- 用户提供1个字节的SCLK，然后将$\overline{CS}$驱动为高电平，可在ADC转换时减轻处理器的负担。
- 在SSTRB变高之后，用户提供2个字节的SCLK，并读取DOUT数据。

### 外部时钟模式 (模式0)

MAX1034/MAX1035工作在外部时钟模式时，可获得最快的吞吐速率。SCLK既控制模拟信号的采集，也控制模拟信号的转换，便于精确控制采集模拟信号的时间。在SCLK的第14个下降沿开始模拟输入采样 (图2)。

外部时钟模式下，由于采用SCLK驱动转换，为转换提供时钟时SCLK频率应该保持恒定。最低的SCLK频率也能够避免内部采样电容上的电压在转换期间发生跌落。

外部时钟模式下，SSTRB保持低电平，因此，如果MAX1034/MAX1035一直工作在外部时钟模式下，SSTRB可以不接。

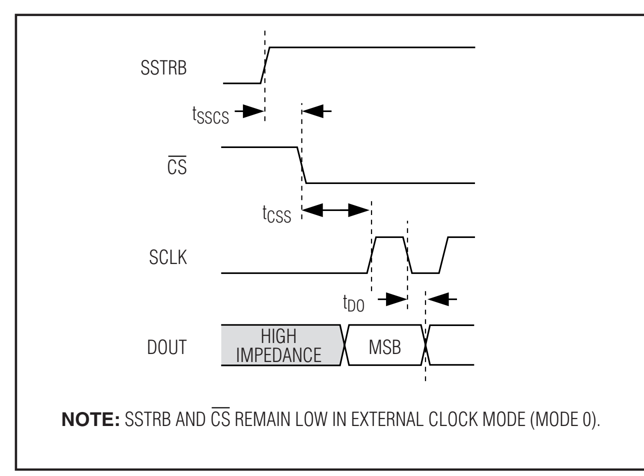



图16. DOUT和SSTRB时

### 外部采集模式 (模式1)

采用外部采集模式时，吞吐速率最低。在外部采集模式下，SCLK控制模拟信号的采集，便于精确控制采样模拟信号的时间。内部时钟控制模拟输入电压的转换。在SCLK的第16个下降沿进行模拟输入采样 (图3)。

## 表7. 模式控制字节

| BIT NUMBER | BIT NAME | DESCRIPTION |
|---|---|---|
| 7 | START | Start Bit. The first logic 1 after $\overline{CS}$ goes low defines the beginning of the mode-control byte. |
| 6 | M2 | Mode-Control Bits. M[2:0] select the mode of operation as shown in Table 8. |
| 5 | M1 | |
| 4 | M0 | |
| 3 | 1 | Bit 3 must be a logic 1 for the mode-control byte. |
| 2 | 0 | Bit 2 must be a logic 0 for the mode-control byte. |
| 1 | 0 | Bit 1 must be a logic 0 for the mode-control byte. |
| 0 | 0 | Bit 0 must be a logic 0 for the mode-control byte. |

表8. 模式控制位M[2:0]

| M2 | M1 | M0 | MODE |
|---|---|---|---|
| 0 | 0 | 0 | External Clock **(DEFAULT)** |
| 0 | 0 | 1 | External Acquisition |
| 0 | 1 | 0 | Internal Clock |
| 0 | 1 | 1 | Reserved |
| 1 | 0 | 0 | Reset |
| 1 | 0 | 1 | Reserved |
| 1 | 1 | 0 | Partial Power-Down |
| 1 | 1 | 1 | Full Power-Down |

对于外部采集模式，$\overline{CS}$必须在开始的15个时钟周期内保持低电平，然后在第16个时钟周期的下降沿或之后变为高电平，如图3所示。要获得最佳性能，转换期间将DIN和SCLK置为空闲状态。仔细进行电路板布局，使转换期间DIN和SCLK的状态变化对转换结果的影响极小。

转换完成后，SSTRB变高，可拉低$\overline{CS}$以读取转换结果。在随后对应起始位的SCLK上升沿，SSTRB返回低电平。

### *内部时钟模式 (模式2)*

内部时钟模式下，内部时钟控制模拟信号的采集和转换。内部时钟在SCLK的第8个下降沿后的100ns到400ns之间启动，速率大约为4.5MHz。在内部时钟信号的第11个下降沿开始对模拟输入采样 (图4)。

对于内部时钟模式，$\overline{CS}$在开始的7个SCLK时钟周期内必须保持低电平，然后在第8个SCLK时钟周期的下降沿或之后变为高电平。转换完成后，SSTRB变为高电平，可以拉低$\overline{CS}$并读取转换结果。在随后对应起始位的SCLK上升沿，SSTRB返回低电平。

### *复位 (模式4)*

如表8所示，设置M[2:0] = 100时可将MAX1034/MAX1035复位至缺省状态。缺省状态是：每一个通道都配置为±$V_{REF}$、双极性、单端转换方式，并且采用外部时钟模式(模式0)。

### *局部关断模式 (模式6)*

如表8所示，设置M[2:0] = 110时，器件进入局部关断模式。在局部关断模式下，除了基准电压产生电路和偏置电源外，器件所有的模拟部分全部关断。

要退出局部关断模式，可发出下列模式控制字节之一来改变模式 (见*模式控制*部分)：

- 外部时钟模式控制字节。
- 外部采集模式控制字节。
- 内部时钟模式控制字节。
- 复位字节。
- 完全关断模式控制字节。

这种作法可防止MAX1034/MAX1035在嘈杂的数字环境下，由于$\overline{CS}$干扰而错误地从局部关断模式退出。

### *完全关断模式 (模式7)*

当M[2:0] = 111时，器件进入完全关断模式，总电源电流下降到1µA (典型值)。在完全关断模式下，器件的所有模拟部分全部关断。如果采用内部基准，从完全关断模式退出时，需在启动转换之前预留10ms的恢复时间，以保证内部基准电压稳定下来。

要退出完全关断模式，可发出下列模式控制字节之一来改变该模式 (参见*模式控制*部分)：

- 外部时钟模式控制字节。
- 外部采集模式控制字节。

- 内部时钟模式控制字节。
- 复位字节。
- 局部关断模式控制字节。

这种方法可防止MAX1034/MAX1035在嘈杂的数字环境下，由于$\overline{CS}$干扰而错误地退出完全关断模式。

### 上电复位

MAX1034/MAX1035上电后即进入采用外部时钟模式的正常工作状态，所有电路都处于工作状态 (表7和表8)。每一个模拟输入通道 (CH0–CH7) 均设置为单端转换模式，输入范围为$\pm V_{REF}$ (表6)。

上电以后，应该先让电源稳定下来。在电源稳定之前，不要启动转换。另外，当$C_{REF}$ = 1.0µF和$C_{REFCAP}$ = 0.1µF时，应为内部基准留出10ms的稳定时间。更大的基准电容需要更长的稳定时间。

### 内部和外部基准

MAX1034/MAX1035可采用内部基准或外部基准。基准电压影响ADC的FSR (图12、图13和图14)。如果要求的基准精度比内部基准更高，和/或多个转换器需要相同的基准电压，则推荐使用外部基准。

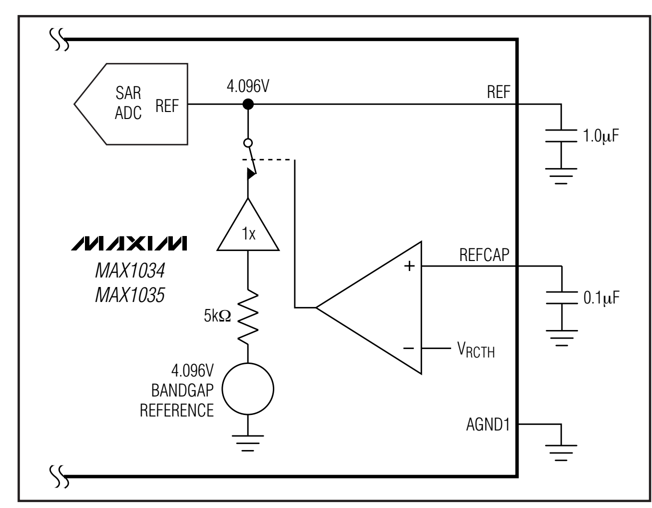



*图17. 内部基准*

### 内部基准

MAX1034/MAX1035内含一个4.096V带隙基准。该带隙基准通过一个标称值为5kΩ的电阻连接到REFCAP (图17)。REFCAP上的电压经过缓冲，在REF上产生4.096V基准电压。当采用内部基准时，应用0.1µF或者更大的电容将REFCAP旁路到AGND1，同时用1.0µF或者更大的电容将REF也旁路到AGND1。

### 外部基准

使用外部基准时，需将REFCAP连接到$AV_{DD1}$以禁用内部基准和基准缓冲器。$AV_{DD1}$与REFCAP相连时，REF变为高阻抗输入，并接受外部基准电压。MAX1034/MAX1035的外部基准电流取决于所提供的基准电压和工作模式 (参见*典型工作特性*中的External Reference Input Current vs. External Reference Input Voltage)。

## 应用信息

### 降噪

进行多次额外采样并求取平均值 (过采样)，可以消除转换结果中的转换噪声影响。采样次数的平方根决定了性能的改善程度。例如：存在2/3 $LSB_{RMS}$ (4 $LSB_{P-P}$) 的转换噪声时，必须进行16 ($4^2$ = 16) 次采样才能将噪声减小到1 $LSB_{P-P}$。

### 与4–20mA信号接口

图19给出了一个MAX1034/MAX1035和4–20mA信号之间的简单接口。4–20mA信号可以用作一个二进制开关 (4mA表示逻辑低信号，20mA表示逻辑高信号)，或者需要精确传输 (4mA到20mA之间的电流代表中间模拟数据)。对于二进制开关应用，可通过一个接地电阻将4–20mA 信号与MAX1034/MAX1035相连。例如：一个200Ω电阻可将4–20mA信号转换成0.8V到4V的信号。调整该电阻值，以使该电阻与MAX1034/MAX1035源阻抗的并联阻值为200Ω。在这种应用中，应选择单端0到$V_{REF}$量程范围 (R[2:0] = 011，表6)。对于需要精确测量4mA到20mA连续模拟电流的应用，应使用一个缓冲器，以防止MAX1034/MAX1035输入从4–20mA信号中分流。

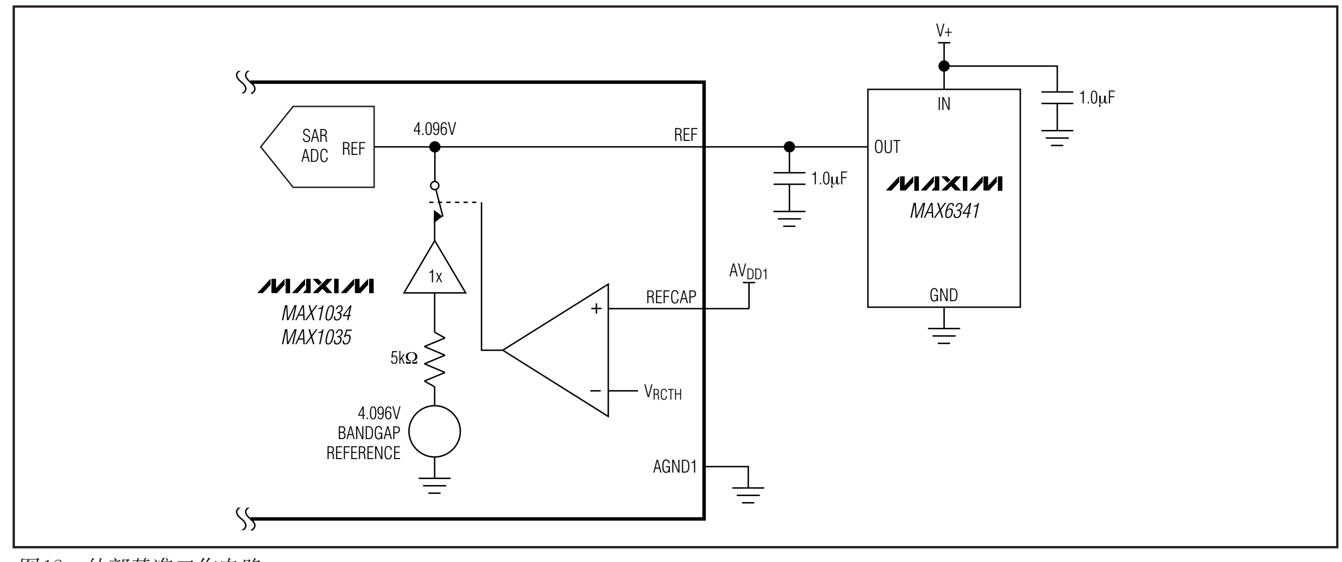



图18. 外部基准工作电路

### 电桥应用

转换1kHz信号时，MAX1034/MAX1035比电桥应用中可能考虑的Σ-Δ转换器精度更高。MAX1034的输入阻抗与限流电阻组合可能影响MAX1034的增益。在很多应用中，这种误差是可以接受的。但如果应用不允许这种误差存在，可对MAX1034的输入进行缓冲 (图20)。电桥与低失调差分放大器相连，放大器的输出连接至MAX1034/MAX1035的真差分输入。较大的激励电压能够更充分地利用±$V_{REF}$/2差分输入电压范围。选择的输入电压范围要和放大器输出匹配。选择合适的放大器时，应注意放大器的失调和失调漂移误差。

### 动态调整输入范围

通过软件控制每一个通道的模拟输入范围，以及器件的单极性端点交叠参数，允许用户动态改变一个通道的输入范围，从而改善某些应用的性能。改变输入范围可在更宽的输出电压范围内实现小的LSB步长。例如：在-$V_{REF}$/2到0的量程范围和0到$V_{REF}$/2的量程范围之间切换时，一个LSB为：

$$\frac{V_{REF}/2 \times V_{REF}}{16,384 \times 4.096}$$

但输入电压范围的有效跨度为-$V_{REF}$/2到+$V_{REF}$/2 (FSR = $V_{REF}$)。

### 布局，接地和旁路

为获得最佳系统性能，仔细考虑PC板的布局非常关键。电路板应该有独立的模拟和数字地层，以确保数字和模拟信号相互隔离。模拟和数字 (特别是时钟信号) 信号不能彼此平行走线，也不要在器件封装底部走数字信号线。

图1给出了推荐的系统接地方式。在AGND1处建立一个模拟接地点，而在DGND处建立一个数字接地点。将所有模拟地星型连接至模拟接地点，将所有数字地星型连接到数字接地点。然后将数字地层和模拟地层在单点连接到一起。为使噪声最低，星型接地点至电源的地回路应该为低阻通路，并应该尽可能的短。

$AV_{DD1}$电源的高频噪声会降低ADC中高速比较器的性能。使用一个0.1µF的表面贴装陶瓷电容将$AV_{DD1}$旁路到AGND1。旁路电容的连线应尽可能短。

## 参数定义

### 积分非线性 (INL)

INL是实际传输函数与一条直线的偏差值，该直线可以是最佳拟合直线，也可以是消除失调和增益误差后两个端点的连线。MAX1034/MAX1035的INL是采用端点连线方法测量的。

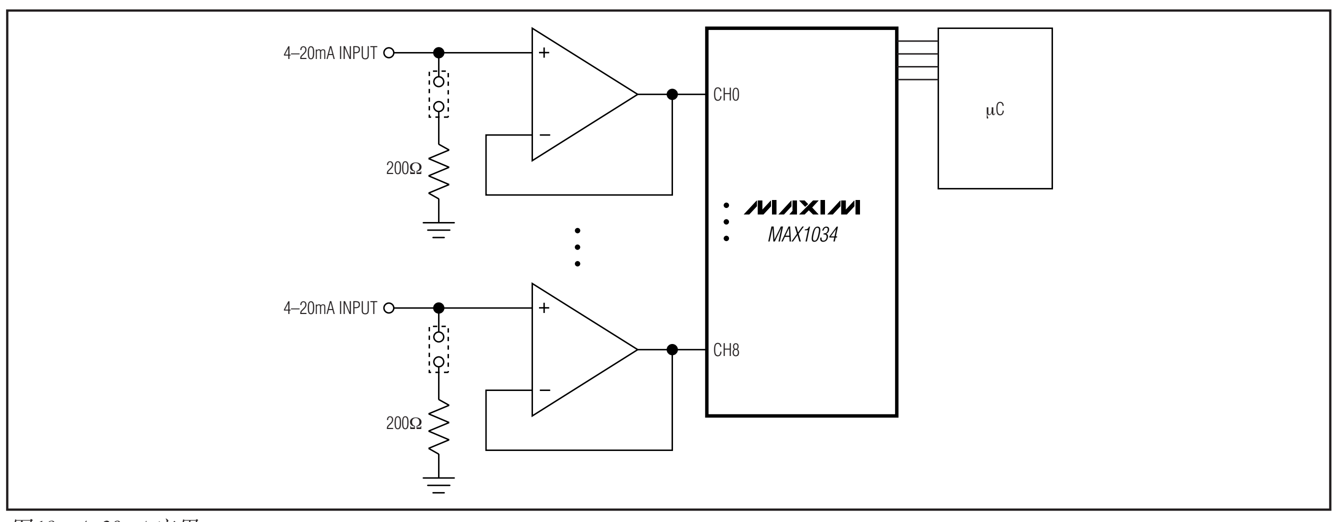



图19. 4–20mA应用

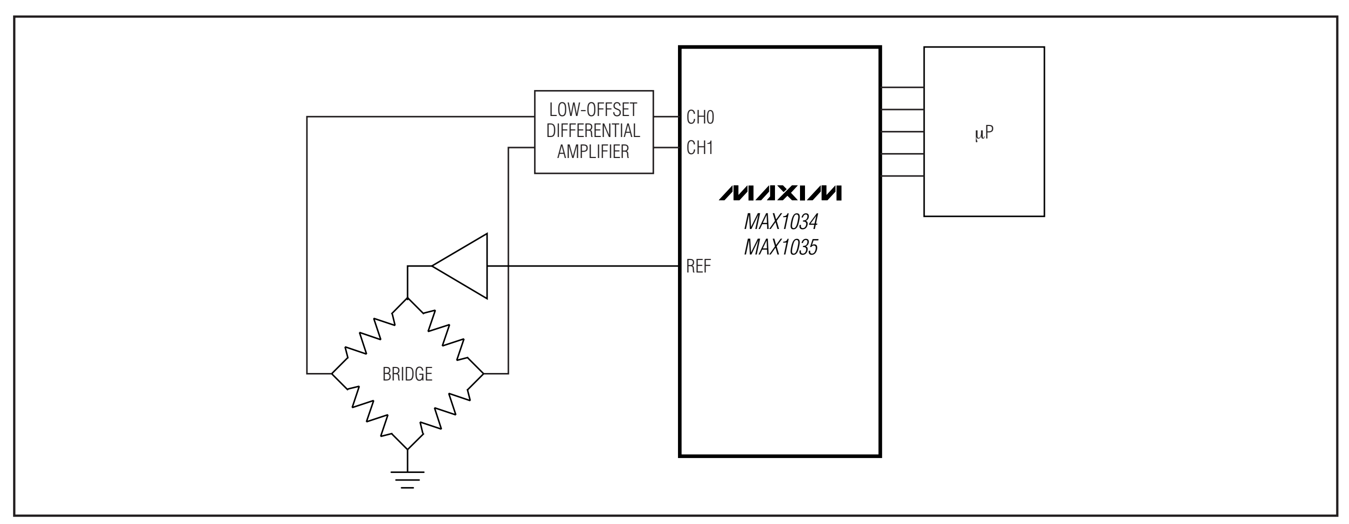



图20. 电桥应用

### 微分非线性 (DNL)

DNL是实际步长宽度和1个LSB理想值之间的差值。DNL误差指标大于-1 LSB时可保证不失码和传输函数的单调性。

### 转换噪声

转换噪声是指出现在ADC传输函数代码跳变点的噪声。若模拟输入恰好处于代码跳变点时进行转换，会导致输出代码产生几个LSB的波动。

### 通道间隔离度

通道间隔离度表示每一个模拟输入与其它通道的隔离程度。测量这些器件的通道间隔离度时，在所选的模拟输入通道上施加接近满量程幅度的5kHz正弦波，同时在所有未选通道上施加相同幅度、不同频率的正弦波。对选定通道的输出进行FFT，确定未选定通道施加的信号所产生的信号幅度和加至选定模拟输入通道的5kHz信号幅度之比。该比值即为通道间隔离度，以dB为单位。

# 8/4通道，±$V_{REF}$多量程输入、串行14位ADC

### 单极性失调误差

#### -FSR到0V

当一个零值模拟输入电压加到转换器输入时，数字输出为全1 (0x3FFF)。理想情况下，0x3FFF到0x3FFE的跳变点发生在 AGND1 - 0.5 LSB的位置。单极性失调误差是测得的零值跳变点和理想零值跳变点之间的偏差，测试时所有未选通道均接地。

#### 0V到+FSR

当零值模拟输入电压加到转换器输入时，其数字输出为全0 (0x0000)。理想情况下，0x0000到0x0001的跳变点出现在 AGND1 + 0.5 LSB处。单极性失调误差是测得的零值跳变点和理想零值跳变点的偏差值，测试时所有其它未选通道均接地。

### 双极性失调误差

当一个零值模拟输入电压加到转换器输入时，其数字输出为一个1和随后的全0 (0x2000)。理想情况下，0x1FFF到0x2000的跳变点出现在 ($2^{N-1}$ - 0.5) LSB处。双极性失调误差是指测得的中值跳变点和理想中值跳变点之间的偏差值，测试时将未选通道接地。

### 增益误差

当一个正极性满量程电压加到转换器输入时，其数字输出为全1 (0x3FFF)。理想情况下，0x3FFE到0x3FFF的跳变出现在低于满量程1.5 LSB处。增益误差是指消除失调误差后测得的满量程跳变点和理想满量程跳变点之间的偏差，测试时所有未选通道均接地。

### 单极性端点交叠

单极性端点交叠是指在两个互补输入电压范围之间切换时失调的变化量。例如，-$V_{REF}$/2到0V输入电压范围内对应0x3FFF输出的输入电压，与0到+$V_{REF}$/2输入电压范围内对应0x0000输出的输入电压之差，就是单极性端点交叠。MAX1034/MAX1035的单极性端点交叠为正值，这样在相邻模拟输入电压范围之间切换时可防止信号丢失和死区问题。

### 小信号带宽

向ADC输入一个100m$V_{P-P}$的正弦波时，逐步提高输入频率，数字转换结果会降低，幅值降低-3dB时对应的频率即为小信号带宽。

### 满功率带宽

向ADC输入一个幅值为满量程的95%的正弦波，逐渐提高输入频率，直到数字化转换结果的幅值降低-3dB，此时对应的频率即为满功率带宽。

### 共模抑制比 (CMRR)

CMRR是一个器件对“共模”信号或加到两个输入端的信号的抑制能力。共模信号可以是一个交流或直流信号，也可以是二者的组合。CMR用分贝表示。共模抑制比是差分信号增益与共模信号增益之比。CMRR仅用于差分模式。

### 电源抑制比 (PSRR)

PSRR是指在固定输入电压下，输出电压变化量与电源电压变化量的比值。对于MAX1034/MAX1035来说，$AV_{DD1}$可以在4.75V到5.25V之间变化。PSRR用分贝表示，并且采用下列公式进行计算：

$$PSRR[dB] = 20 \times \log\left(\frac{5.25V - 4.75V}{V_{OUT}(5.25V) - V_{OUT}(4.75V)}\right)$$

对于MAX1034/MAX1035，PSRR是在双极性模式下将模拟输入接地测得的。

### 孔径抖动

孔径抖动$t_{AJ}$，是采样时刻变化量的统计分布 (图21)。

### 孔径延迟

孔径延迟$t_{AD}$，是从SCLK下降沿到实际采样时刻的时间延迟 (图21)。

### 信噪比 (SNR)

SNR是用信号RMS和噪声RMS的比值来计算的。噪声RMS包括除了基波、前五次谐波和DC失调之外，奈奎斯特频率的所有频谱成分。

### 信号与噪声 + 失真比 (SINAD)

SINAD由信号RMS和噪声加失真RMS的比值来计算。噪声加失真RMS包括除了基波和DC失调之外，奈奎斯特频率的所有频谱成分。

$$SINAD(dB) = 20 \times \log\left(\frac{Signal_{RMS}}{Noise_{RMS}}\right)$$

### 有效位 (ENOB)

ENOB表示ADC在指定输入频率和采样速率下的整体精度。输入范围和ADC满量程范围相等时，ENOB可由以下公式计算：

$$ENOB = \left(\frac{SINAD - 1.76}{6.02}\right)$$

### 总谐波失真 (THD)

对于MAX1034/MAX1035，THD是输入信号前四次谐波分量的RMS之和与基波自身之比。其表达式如下：

$$THD = 20 \times \log\left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}\right)$$

其中$V_1$是基波幅值，$V_2$到$V_5$依次是2次到5次谐波分量的幅值。

### 无杂散动态范围 (SFDR)

SFDR是基波RMS值 (最大信号分量) 与第二大频谱分量RMS值之比。

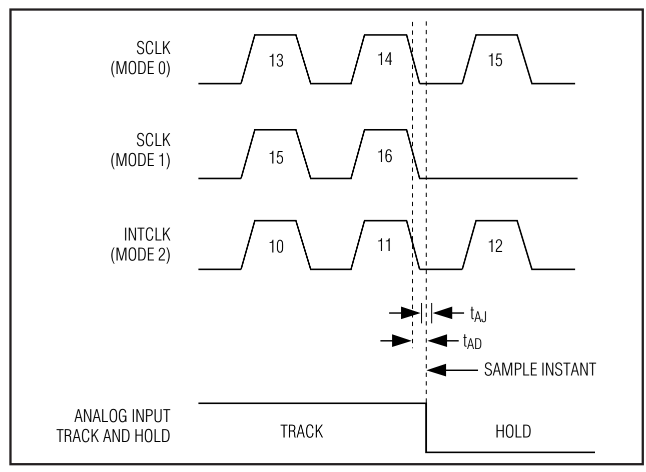
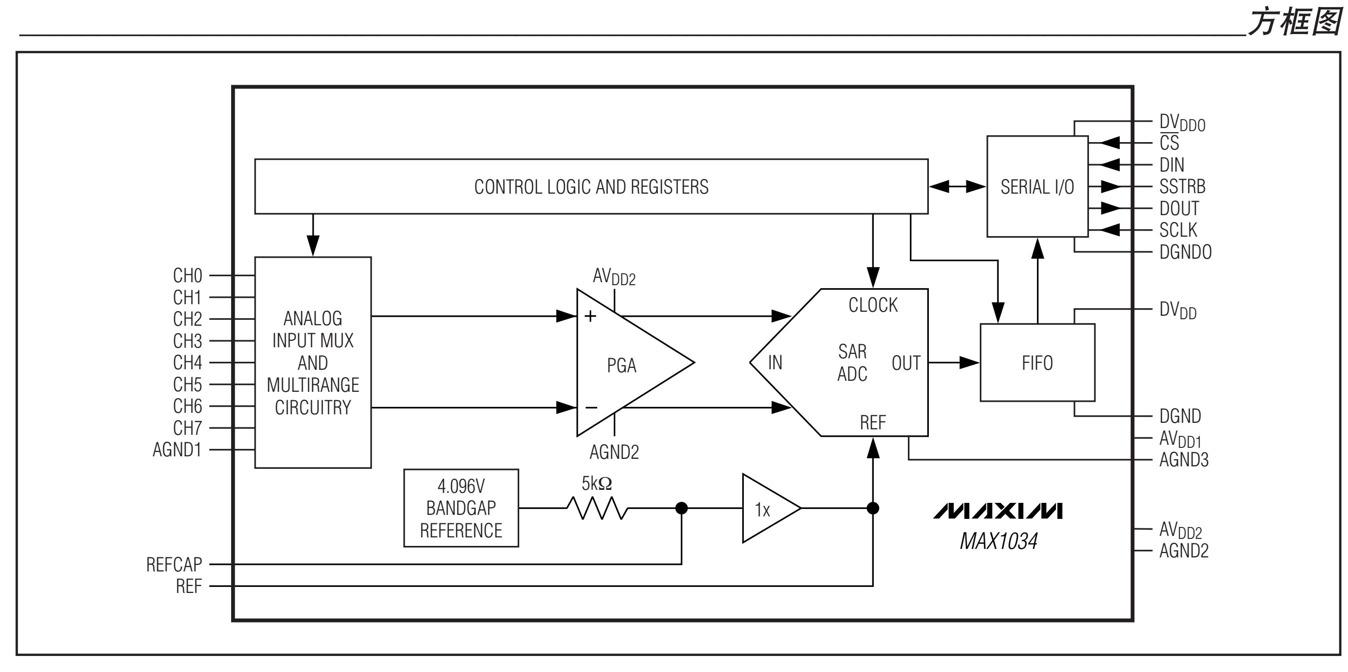
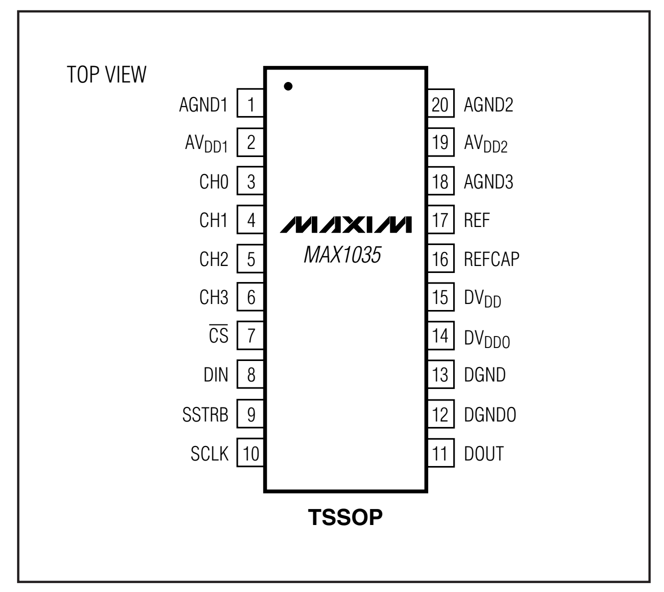



图21. 孔径时序图

## 方框图




## 引脚配置 (续)



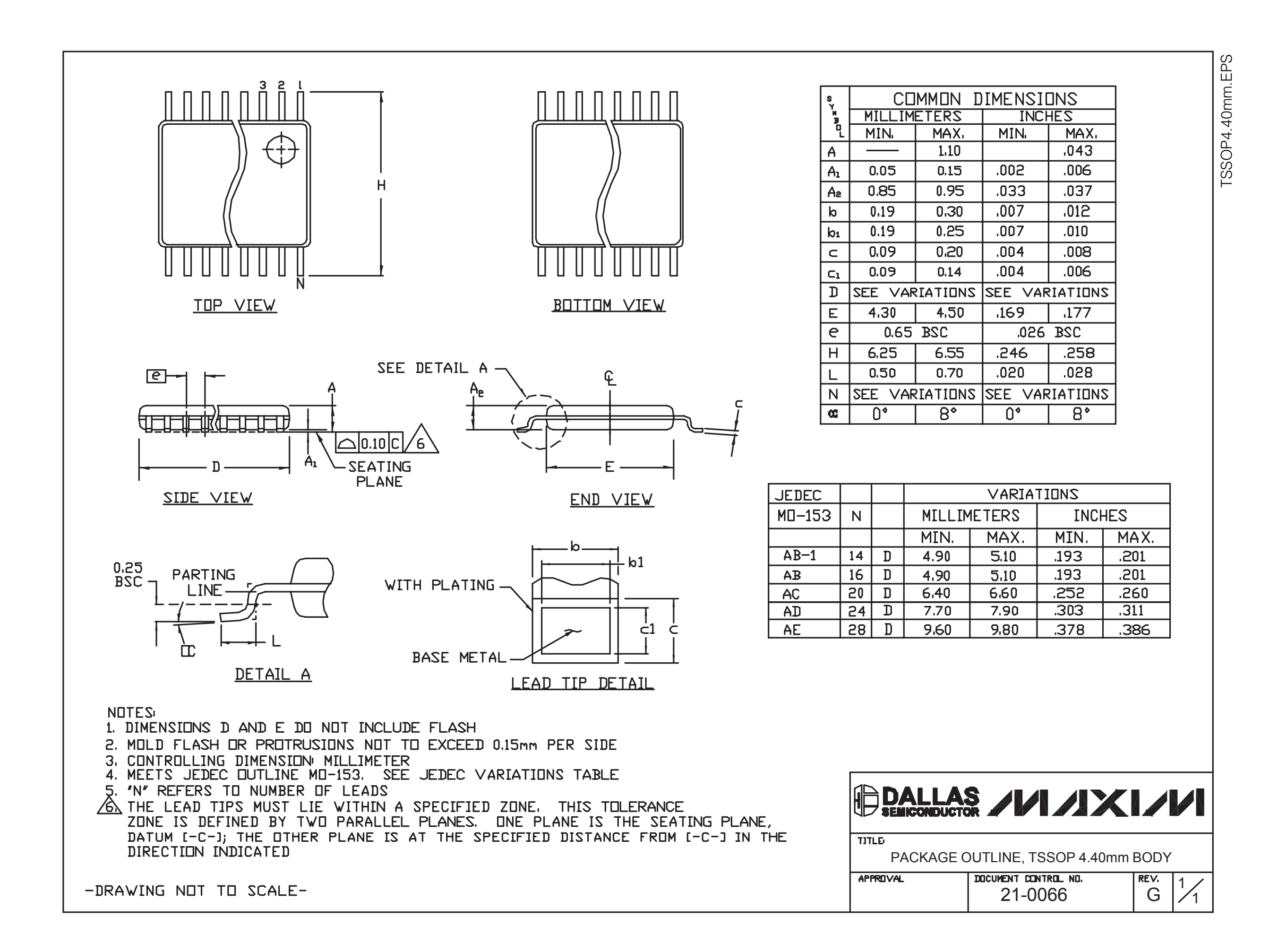

## 芯片信息

TRANSISTOR COUNT: 28,210

PROCESS: BiCMOS

## 封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 **www.maxim-ic.com.cn/packages**。)




| SYMBOL | COMMON DIMENSIONS MILLIMETERS MIN. | MILLIMETERS MAX. | INCHES MIN. | INCHES MAX. |
|---|---|---|---|---|
| A | — | 1.10 | | .043 |
| $A_1$ | 0.05 | 0.15 | .002 | .006 |
| $A_2$ | 0.85 | 0.95 | .033 | .037 |
| b | 0.19 | 0.30 | .007 | .012 |
| $b_1$ | 0.19 | 0.25 | .007 | .010 |
| c | 0.09 | 0.20 | .004 | .008 |
| $c_1$ | 0.09 | 0.14 | .004 | .006 |
| D | SEE VARIATIONS | | SEE VARIATIONS | |
| E | 4.30 | 4.50 | .169 | .177 |
| e | 0.65 BSC | | .026 BSC | |
| H | 6.25 | 6.55 | .246 | .258 |
| L | 0.50 | 0.70 | .020 | .028 |
| N | SEE VARIATIONS | | SEE VARIATIONS | |
| α | 0° | 8° | 0° | 8° |

| JEDEC MO-153 | N | | VARIATIONS MILLIMETERS MIN. | MILLIMETERS MAX. | INCHES MIN. | INCHES MAX. |
|---|---|---|---|---|---|---|
| AB-1 | 14 | D | 4.90 | 5.10 | .193 | .201 |
| AB | 16 | D | 4.90 | 5.10 | .193 | .201 |
| AC | 20 | D | 6.40 | 6.60 | .252 | .260 |
| AD | 24 | D | 7.70 | 7.90 | .303 | .311 |
| AE | 28 | D | 9.60 | 9.80 | .378 | .386 |


## MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299